

Wolfram Schiffmann · Robert Schmitz

Technische Informatik 1

Grundlagen der Digitalelektronik

5. Auflage

Springer-Verlag

Berlin Heidelberg New York

London Paris Tokyo

Hong Kong Barcelona

Budapest

Vorwort zur 5. Auflage

Der vorliegende Band 1 des Buches *Technische Informatik* entstand aus Skripten zu Vorlesungen, die wir an der Universität Koblenz für Informatikstudenten gehalten haben. Es ist unser Anliegen zu zeigen, wie man elektronische Bauelemente nutzt, um Rechnersysteme zu realisieren. Mit dem dargebotenen Stoff soll der Leser in die Lage versetzt werden, die technischen Möglichkeiten und Grenzen solcher Systeme zu erkennen. Dieses Wissen hilft ihm einerseits, die Leistungsmerkmale heutiger Rechnersysteme zu beurteilen und andererseits künftige Entwicklungen richtig einzuordnen.

Jeder, der heute Computer einsetzt, muss aus einem breiten Angebot von Rechnerkomponenten eine Konfiguration auswählen, die seine persönlichen Anforderungen erfüllt und gleichzeitig kostengünstig ist. Die richtige Auswahl anhand der Kenngrößen von Computern und Peripheriegeräten setzt ein solides Grundwissen über deren technische Realisierung voraus. Dieses Grundwissen wird hier vermittelt. Der Stoff ist vom Konzept her auf das Informatikstudium ausgerichtet – aber auch für alle diejenigen geeignet, die Computer einsetzen und sich intensiver mit der Hardware auseinandersetzen möchten. Wir beschränken uns sowohl in den beiden Lehrbüchern als auch in dem zugehörigen Übungsband auf die *Grundlagen* der Technischen Informatik und schließen dabei auch die Grundlagen der Elektronik ein, obwohl diese strenggenommen nicht zur Technischen Informatik gehören. Somit können z.B. auch Elektrotechniker oder Maschinenbauer von dem vorliegenden Text profitieren.

Für die Lektüre genügen Grundkenntnisse in Physik und Mathematik. Die Darstellung des Stoffes erfolgt bottom up, d.h. wir beginnen mit den grundlegenden physikalischen Gesetzen und beschreiben schließlich alle wesentlichen Funktionseinheiten, die man in einem Rechnersystem vorfindet.

Der Stoff wurde auf drei Bände aufgeteilt: Der vorliegende Band 1 *Grundlagen der digitalen Elektronik* führt zunächst in die für die Elektronik wesentlichen Gesetze der Physik und Elektrotechnik ein. Im zweiten Band werden die *Grundlagen der Computertechnik* behandelt. Im *Übungsband* findet man schließlich Aufgaben und Musterlösungen zu dem in den Lehrbüchern dargebotenen Stoff. Im folgenden wird ein Überblick über den Inhalt des vorliegenden ersten Bandes gegeben:

Im ersten Kapitel *Grundlagen der Elektrotechnik* werden Begriffe zur Beschreibung elektrischer und magnetischer Vorgänge eingeführt und durch Experimente veranschaulicht. Diese Begriffe sind notwendig für das Verständnis der Gesetze der Elektrotechnik, der Funktionsprinzipien von Halbleiterbauelementen und Datenträgern auf *ferromagnetischer* und *magneto-optischer* Basis. Auch physikalische Einflüsse bei der Datenübertragung werden mit diesen Begriffen erläutert; z.B. Reflexionserscheinungen auf *langen Leitungen* und *Modem*-Ausbildung bei Lichtwellenleitern. *Halbleiterbauelemente* bilden die technische Voraussetzung für den Bau von Computern. In diesem Kapitel werden Aufbau und Funktion der gebräuchlichsten Bauelemente beschrieben: Bipolar- und Unipolartransistoren (MOS-FETs) und optoelektronische Halbleiterbauelemente.

Die Grundverknüpfungen der Schaltalgebra werden mit *Verknüpfungsgliedern* realisiert. Es werden die elektronischen Konzepte zur Realisierung der Verknüpfungsglieder beschrieben, die zu den verschiedenen Schaltkreisfamilien führten: TTL, ECL, NMOS, PMOS und CMOS.

Mit Verknüpfungsgliedern werden *Schaltnetze* realisiert. Theoretische Grundlage dafür ist die Schaltalgebra. Das Kapitel beginnt mit einer Einführung der Begriffe der Schaltalgebra. Dann werden Funktionseinheiten von Rechenwerken – Codierer, Addierer, Multiplexer – in Analyse und Synthese beschrieben. Verschiedene Realisierungsformen von Schaltnetzen ROM, PROM, EPROM und PAL-Bausteine werden vorgestellt. Zum Schluß wird die Entstehung von Hazards erläutert.

Speicherglieder sind Voraussetzung für den Aufbau von Schaltwerken. In diesem Kapitel wird das Funktionsprinzip von Speichergliedern beschrieben. Nach Wirkung der Eingangsvariablen auf die Ausgangsvariablen und Wirkungsweise des Taktsignals gibt es unterschiedliche Arten von Flipflops, deren Eigenschaften erläutert werden.

Im letzten Kapitel werden einfache *Schaltwerke* behandelt. In Analyse und Synthese werden die Komponenten und die Funktion von Schaltwerken exemplarisch an Beispielen dargestellt. Jedes Schaltwerk ist ein Datenverarbeitungssystem. Auf der Grundlage einfacher Schaltwerke hat sich die Rechnerarchitektur entwickelt.

Bei der Einführung von Begriffen, der Beschreibung der Bauelemente und der Bauglieder wird die Bedeutung und der Einfluß auf die Eigenschaften der Rechnerkomponenten aufgezeigt. Begriffe und Definitionen wurden möglichst nach DIN verwendet; z.B. Verknüpfungsglieder statt Gatter.

Der Band 2 *Grundlagen der Computertechnik* schließt mit den komplexen Schaltwerken an Band 1 an. Ausgehend vom Operationsprinzip des von-Neumann-Rechners werden sowohl CISC- als auch RISC-Architekturen, Kommunikationskanäle, Speicherorganisation und Peripheriegeräte behandelt.

Wir haben uns bemüht, zu den einzelnen Themen nur die grundlegenden Prinzipien auszuwählen und durch einige Beispiele zu belegen. Wir hoffen,

dass es uns gelungen ist, den Stoff klar und verständlich darzustellen. Trotzdem möchten wir die Leser auffordern, uns ihre Ergänzungs- und Verbesserungsvorschläge oder Anmerkungen mitzuteilen. Für die zahlreichen Hinweise zu den ersten vier Auflagen möchten wir uns bei unseren Lesern herzlich bedanken. Wir werden uns auch weiterhin bemühen, ihre Anregungen in nachfolgende Auflagen aufzunehmen.

In der vorliegenden Neuauflage ist der Abschnitt *Vom Addierer zum Prozessor* im Kapitel Schaltwerke neu konzipiert worden. Die Schaltungen in diesem Kapitel können mit HADES (Hamburg Design System) simuliert werden. Beispielentwürfe sind unter der Webadresse zu den Lehrbüchern *Technische Informatik*:

Technische-Informatik-Online.de

zu finden. In den Simulationen werden die Eigenschaften und Fähigkeiten der realen Bauelemente nachgebildet. So wäre es möglich, die Schaltungen, die dort simuliert werden, später in Hardware zu realisieren. Die Simulation ist deshalb ein Bindeglied zwischen der graphischen Darstellung einer Funktionseinheit (z.B. RALU) und ihrer technischen Realisierung.

Unter der angegebenen Webadresse sind weitere Schaltungen zu Schaltnetzen, Speichergliedern und Schaltwerken zu finden. Sie enthält außerdem Links auf weitere nützliche Materialien und Simulationsprogramme zur Digitalelektronik und Computertechnik.

Im Text werden immer dann englischsprachige Begriffe benutzt, wenn uns eine Übersetzung ins Deutsche nicht sinnvoll erschien. Wir denken, dass diese Lösung für den Leser hilfreich ist, da die Literatur über Computertechnik überwiegend in Englisch abgefaßt ist.

Bei der mühevollen Arbeit, das Manuskript mit dem \LaTeX -Formatiersystem zu setzen, zu korrigieren und Bilder zu zeichnen, wurden wir von Frau Sabine Döring, Frau Christa Paul, Herrn Jürgen Weiland und Herrn Dirk Beerbohm unterstützt. Frau Hestermann-Beyerle und Herrn Dr. Merkle vom Springer-Verlag sei für die gute und freundliche Zusammenarbeit gedankt. Unsere Kollegen Prof. Dr. Alois Schütte und Prof. Dr. Dieter Zöbel ermunterten uns zum Schreiben dieses Textes und gaben uns wertvolle Hinweise und Anregungen. Prof. Dr. Herbert Druxes, Leiter des Instituts für Physik, förderte unser Vorhaben. Herr Dr. Norman Hendrich von der Universität Hamburg unterstützte uns bei der Arbeit mit dem von ihm entwickelten HADES-Simulator. Für ihre Mitarbeit und Unterstützung möchten wir allen herzlich danken.

Auch unseren Familien sei an dieser Stelle für Ihre Geduld und Ihr Verständnis für unsere Arbeit gedankt.

Hagen und Koblenz, im Sommer 2003

Wolfram Schiffmann

Robert Schmitz

Inhaltsverzeichnis

1. Grundlagen der Elektrotechnik	1
1.1 Historischer Überblick	1
1.2 Elektrische Ladungen und elektrisches Feld	3
1.2.1 Elektrische Ladungen	3
1.2.2 Das Coulombsche Gesetz	6
1.2.3 Das elektrische Feld und der elektrische Fluss	7
1.2.4 Elektrische Spannung und Potential	11
1.2.5 Der Kondensator	14
1.3 Gleichstromkreis	17
1.3.1 Stromstärke	17
1.3.2 Das Ohmsche Gesetz	18
1.3.3 Arbeit und Leistung des elektrischen Stromes	21
1.3.4 Kirchhoffsche Sätze	22
1.3.5 Quellenspannung und Klemmenspannung	32
1.4 Elektromagnetisches Feld	34
1.4.1 Magnetisches Feld elektrischer Ströme	34
1.4.2 Das Durchflutungsgesetz	36
1.4.3 Kraftwirkung magnetischer Felder auf stromdurchflossene Leiter	38
1.4.4 Lorentzkraft und Halleffekt	41
1.4.5 Elektromagnetische Induktion	44
1.4.6 Materie im Magnetfeld	50
1.4.7 Datenspeicher auf magnetischer Basis	52
1.5 Wechselstromkreis	58
1.5.1 Wechselspannung und Wechselstrom	58

1.5.2	Kennwerte von Wechselgrößen	59
1.6	Schaltvorgänge	62
1.6.1	Schaltverhalten an einem Widerstand	62
1.6.2	Schaltverhalten an einer Kapazität	63
1.6.3	Schaltverhalten an einer Induktivität	66
1.7	Datenübertragung	68
1.7.1	Physikalische Darstellung	69
1.7.2	Übertragungsmedien	70
2.	Halbleiterbauelemente	85
2.1	Halbleiterphysik	86
2.1.1	Aufbau der Materie	86
2.1.2	Energiebändermodell	88
2.1.3	Kristallstruktur von Germanium und Silizium	89
2.1.4	Eigenleitfähigkeit	90
2.1.5	Störstellenleitfähigkeit (Dotierte Halbleiter)	91
2.1.6	pn -Übergang	93
2.2	Halbleiterdioden	95
2.2.1	pn -Übergang mit äußerer Spannung	95
2.2.2	Kennlinie des pn -Übergangs	96
2.2.3	Halbleiterdioden mit besonderen Eigenschaften	98
2.3	Optoelektronische Halbleiterbauelemente	100
2.3.1	Kenngrößen der optischen Strahlung	101
2.3.2	Strahlungsempfänger	103
2.3.3	Strahlungssender	106
2.4	Bipolartransistoren	111
2.4.1	Aufbau und Funktionsprinzip	111
2.4.2	Kennlinienfelder	115
2.4.3	Verstärkerschaltung und Arbeitspunkt	117
2.5	Feldeffekttransistoren	119
2.5.1	Sperrschicht-Feldeffekttransistor (FET)	119
2.5.2	Isolierschicht-Feldeffekttransistoren (MOSFET)	119

3. Elektronische Verknüpfungsglieder	125
3.1 Elektronische Schalter	125
3.1.1 Der ideale Schalter	126
3.1.2 Modell eines realen Schalters	126
3.1.3 Bipolartransistor als Schalter	127
3.1.4 Unipolartransistor als Schalter	129
3.1.5 Kenngrößen	130
3.2 Verknüpfungsglieder mit bipolaren Transistoren	135
3.2.1 TTL-Schaltkreise	136
3.2.2 ECL-Schaltkreise	145
3.3 Verknüpfungsglieder mit unipolaren Transistoren	146
3.3.1 PMOS Schaltkreise	147
3.3.2 NMOS Schaltkreise	148
3.3.3 CMOS-Schaltkreise	149
4. Schaltnetze	153
4.1 Schaltalgebra	154
4.1.1 Definition der Booleschen Algebra	155
4.1.2 Schaltalgebra – ein Modell der Booleschen Algebra ...	156
4.2 Schaltfunktionen	157
4.2.1 Definitionen	157
4.2.2 Darstellung	161
4.2.3 Minimierung von Schaltfunktionen	169
4.3 Analyse von Schaltnetzen	177
4.4 Synthese von Schaltnetzen	179
4.5 Code-Umsetzer	180
4.5.1 Schaltnetzentwurf für die 8421-BCD zu 7-Segment Umsetzung	181
4.5.2 Schaltnetzentwurf für die 8421-Dual-Code zu Gray- Code Umsetzung	185
4.5.3 Schaltnetzentwurf für einen Adressdecodierer	186
4.6 Addierglieder	187
4.6.1 Halbaddierer	187
4.6.2 Volladdierer	188

4.6.3	Paralleladdierer	190
4.7	Komparatoren	196
4.8	Multiplexer	198
4.9	Arithmetik-Logik Einheit (ALU)	204
4.9.1	Zahldarstellung und Zweierkomplement	204
4.9.2	Addierer/Subtrahierer	206
4.10	Schaltnetze mit programmierbaren Bausteinen	211
4.10.1	ROM	213
4.10.2	PROM, EPROM	214
4.10.3	PAL	218
4.10.4	PLA	218
4.11	Laufzeiteffekte in Schaltnetzen	219
5.	Speicherglieder	225
5.1	Funktionsprinzip einer bistabilen Kippschaltung	225
5.2	Funktionsprinzip von RAM-Speicherzellen	227
5.3	RS-Kippglied	230
5.3.1	Kippglied aus NOR-Schaltgliedern	231
5.3.2	Kippglied aus NAND-Schaltgliedern	232
5.4	RS-Kippglied mit Zustandssteuerung	236
5.5	D-Kippglied mit Zustandssteuerung	238
5.6	RS-Kippglied mit Zwei-Zustandssteuerung	240
5.7	JK-Master-Slave-Kippglied	244
5.8	Master-Slave T-Kippglied	246
5.9	Kippglieder mit Taktflankensteuerung	247
5.9.1	Taktflankensteuerung durch RC-Differenzierglieder ...	248
5.9.2	Taktflankensteuerung realisiert durch Verknüpfungsschaltungen.....	248
5.10	Zusammenfassung	252

6. Schaltwerke	255
6.1 Automaten	256
6.2 Funktionelle Beschreibung von Schaltwerken	259
6.3 Analyse von Schaltwerken	261
6.3.1 Beispiel 1	261
6.3.2 Beispiel 2	263
6.4 Synthese von Schaltwerken	265
6.4.1 Beispiel 1: Umschaltbarer Zähler	266
6.4.2 Beispiel 2: Schieberegister als Schaltwerk	268
6.5 Realisierung von Schaltwerken	272
6.5.1 Schaltwerke mit diskreten Baugliedern	273
6.5.2 Schaltwerke mit programmierbaren Logikbausteinen ..	274
6.6 Vom Addierer zum Prozessor	279
6.6.1 4-Bit Paralleladdierer	279
6.6.2 Arithmetisch-Logische Einheit mit Registern (RALU)	280
6.6.3 RALU mit Eingabeeinheit, Ausgabeeinheit und Da-	282
tenbus	
6.6.4 RALU mit Leitwerk	285
6.6.5 RALU und Leitwerk mit RAM	289
6.6.6 Der Miniprozessor	292
7. Integrierte Schaltungen	299
7.1 Schaltungsentwurf	300
7.1.1 Entwurfsebenen	301
7.1.2 Darstellung	303
7.1.3 Werkzeuge und Entwurfsschritte	304
7.1.4 ASICs	307
7.2 Herstellung	317
7.2.1 Herstellung der Siliziumscheibe (Wafer)	320
7.2.2 Herstellung der Masken	320
7.2.3 Scheibenprozesse	321
7.2.4 Test	330
7.2.5 Montage	332
Abkürzungen	335

Schaltzeichen für binäre Verknüpfungsglieder	337
Literaturverzeichnis	338
Sachverzeichnis	343

Auszug des Inhalts der vierten Auflage von Band 2

1. Komplexe Schaltwerke
2. von NEUMANN-Rechner
3. Hardware-Parallelität
4. Prozessorarchitektur
5. CISC-Prozessoren
6. RISC-Prozessoren
7. Aktuelle Computersysteme
8. Kommunikation
9. Speicher
10. Ein-/Ausgabe und Peripheriegeräte

Ist die Stromstärke von der Zeit abhängig, wie bei dem oben beschriebenen Entladevorgang des Kondensators, dann benutzen wir die differentielle Schreibweise

$$i(t) = \frac{dQ}{dt}$$

Daraus folgt $dQ = i(t) \cdot dt$

oder $Q = \int_{t_0}^{t_1} i(t) \cdot dt$

In Einheiten $1\text{C} = 1\text{As}$



Siehe Übungsband
Aufgabe 4:
Elektronenbeweglichkeit in Metallen

1.3.2 Das Ohmsche Gesetz

Eine Anordnung aus Stromerzeuger G (oft heißt sie Spannungsquelle) Verbraucher R und Verbindungsleitungen wie sie in Abb. 1.9 dargestellt ist, heißt Stromkreis. Im Stromerzeuger wird Energie aufgewendet $W < 0$ und im Verbraucher wird Energie freigesetzt $W > 0$.

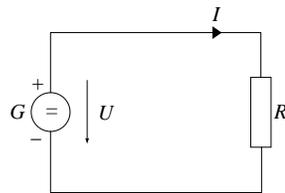


Abb. 1.9. Einfacher Stromkreis

Neben dem Stromerzeuger G und dem Verbraucher R sind in Abb. 1.9 auch die Zählpfeile für Strom und Spannung eingezeichnet. Dabei ist die technische Stromrichtung angenommen, die besagt, dass im Verbraucher der Strom von Plus(+) nach Minus(-) fließt. Die Spannung als Ursache des Stromes bewirkt also im Verbraucher einen Stromfluß von Plus nach Minus, sie wird deshalb als von Plus nach Minus wirkend eingezeichnet. Die Spannung wird im Generator erzeugt, sie ist außen an den Klemmen messbar und wird dort als *Klemmenspannung* bezeichnet. Sie wirkt von den Klemmen auf den Verbraucher und treibt den Strom in die angezeigte Richtung von Plus nach Minus. Das benutzte Zählpfeilsystem wird Verbraucher-Zählpfeilsystem (VZS)

genannt. Um den zahlenmäßigen Zusammenhang zwischen Strom und Spannung in einem Gleichstromkreis zu untersuchen wird die Stromstärke I mit einem Amperemeter und die Spannung U mit einem Voltmeter gemessen (Abb. 1.10).

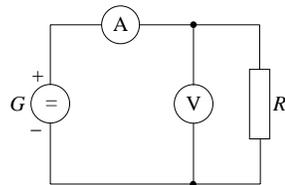


Abb. 1.10. Messung von Strom und Spannung im Stromkreis

Das Amperemeter ist so geschaltet, dass der Strom, der durch den Verbraucher fließt, auch durch das Amperemeter fließt. Das Voltmeter liegt an der gleichen Spannung, an der auch der Verbraucher liegt. Es wird parallel zum Verbraucher geschaltet.

Untersuchen wir den zahlenmäßigen Zusammenhang zwischen fließendem Strom und anliegender Spannung in einem Verbraucher im Experiment, so finden wir: Die Stromstärke ist der Spannung direkt proportional

$$\begin{aligned} I &\sim U \\ \text{oder} \quad I &= G \cdot U \end{aligned} \quad (1.37)$$

Der Proportionalitätsfaktor G wird *Leitwert* genannt. Die Einheit ist Siemens (S)

$$1\text{S} = 1 \frac{\text{A}}{\text{V}}$$

In der Praxis benutzt man meist

$$R = \frac{1}{G}$$

und nennt R den Leitungswiderstand oder einfach *Widerstand*. Mit (1.37) folgt dann:

$$I = \frac{1}{R} \cdot U \quad (1.38)$$

(1.38) wird *Ohmsches Gesetz* genannt. Verbal formuliert bedeutet das: die Ursache Spannung bewirkt im Verbraucher eine Strömung (Strom) der elektrischen Ladungen wobei die Größe der entstehenden Wirkung (Stromstärke) durch den Widerstand R beeinflusst wird.

Die Einheit für den Widerstand ist Ohm (Ω)

$$1\Omega = 1\frac{\text{V}}{\text{A}}$$

Ist der Proportionalitätsfaktor G in (1.37) eine Konstante, dann nimmt der Strom I mit der Spannung *linear* zu. Solche Widerstände werden lineare oder ohmsche Widerstände genannt. Das trifft für metallische Leiter bei konstanter Temperatur (z.B. Konstantan) zu. Ist der Proportionalitätsfaktor nicht konstant, sondern von der Spannung oder vom Strom abhängig, dann spricht man von *nichtlinearen* Widerständen.

Das Zusammenwirken von Widerstand und Spannungsquelle lässt sich anschaulich in einem Kennlinienfeld darstellen. Für jede Spannung U lässt sich der entsprechende Strom I ablesen. In Abbildung 1.11 ist die Kennlinie eines linearen Widerstandes und eines nicht linearen Widerstandes (hier eine Halbleiterdiode) dargestellt.

Für den linearen Widerstand gilt

$$\frac{U_1}{I_1} = \dots = \frac{U_i}{I_i} = \text{const.}$$

Für den nichtlinearen Widerstand gilt: der Quotient aus Spannung und Strom hat für alle Wertepaare ein anderes Ergebnis. Bei einer Spannung U_1 fließt ein Strom I_1 ; der Quotient

$$\frac{U_1}{I_1} = R_1$$

wird *Gleichstromwiderstand* genannt.

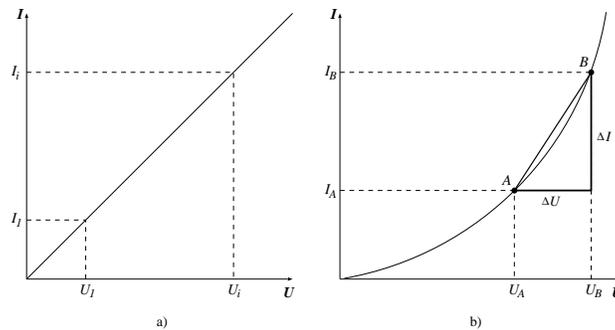


Abb. 1.11. Kennlinie eines linearen a) und eines nicht linearen b) Widerstandes

Der sich jeweils einstellende Wert R gilt nur für einen Punkt der Kennlinie, er wird Arbeitspunkt genannt. Bildet man im Kennlinienfeld des nichtlinearen

Widerstandes $\Delta U/\Delta I = r$, dann spricht man vom *differentiellen Widerstand*, er ist ein Maß für den Anstieg der Kurve.

Durch weitere experimentelle Untersuchungen an metallischen Leitern finden wir:

- der Widerstand eines Leiters ist seiner Länge proportional ($R \sim l$)
- der Widerstand eines Leiters ist seinem Querschnitt umgekehrt proportional ($R \sim 1/A$)
- der Widerstand ist vom Leitermaterial abhängig

Daraus folgt:

$$R = \rho \frac{l}{A}$$

ρ wird *spezifischer Widerstand* genannt. Er wird angegeben in $\Omega \cdot \frac{\text{mm}^2}{\text{m}}$. In dieser Einheit ist der spezifische Widerstand von Kupfer 0,017, von Eisen 0,10 bis 0,15 .

1.3.3 Arbeit und Leistung des elektrischen Stromes

Elektrische Arbeit wird verrichtet, wenn die Ladung Q vom Potential φ_1 zum Potential φ_2 transportiert wird.

$$W = Q \cdot (\varphi_2 - \varphi_1) = Q \cdot U$$

Im Stromkreis nach Abb. 1.9 wird durch den Stromerzeuger G Ladung vom Potential φ_1 auf das Potential φ_2 gehoben. Dazu ist Arbeit erforderlich (Erzeugersystem). Im Verbraucher (Widerstand R) fällt die Ladung vom Potential φ_2 auf das Potential φ_1 , dabei wird die im Stromerzeuger aufgewendete Arbeit als Wärmeenergie wieder abgegeben. Fließt während der Zeiteinheit t der Strom I , dann wird die Ladungsmenge $Q = I \cdot t$ transportiert, und es wird die Arbeit

$$W = I \cdot t \cdot U$$

verrichtet.

Die Einheit der elektrischen Arbeit ist Joule (J) oder Wattsekunde (Ws)

$$1\text{J} = 1\text{Ws} = 1\text{AVs}$$

Mit der Einheit $\text{N} \cdot \text{m}/\text{C}$ für Volt und C/s für Ampere gilt auch

$$1\text{J} = 1\text{Ws} = 1 \frac{\text{N} \cdot \text{m}}{\text{C}} \cdot \frac{\text{C}}{\text{s}} \cdot \text{s} = 1\text{Nm}$$

Mit dem Ohmschen Gesetz erhalten wir für die in einem Widerstand R freiwerdende Wärmeenergie

$$W = I \cdot U \cdot t = I^2 \cdot R \cdot t$$

Leistung ist definiert als Arbeit pro Zeiteinheit. Für die elektrische Leistung folgt deshalb:

$$P = \frac{W}{t} = U \cdot I = I^2 \cdot R = \frac{U^2}{R}$$

Die Einheit der Leistung ist Watt (W)

$$1\text{W} = 1\text{VA}$$

1.3.4 Kirchhoffsche Sätze

Nur selten wird an einen Stromerzeuger nur ein Widerstand angeschlossen. In Geräten sind oft viele – in einem Computer viele tausend – Bauelemente an einen Stromerzeuger angeschlossen. Eine Anordnung von Spannungsquellen und Widerständen wird Netz genannt (Abb. 1.12).

Ein Netz ist aus *Zweigen* zusammengesetzt, die in den Verzweigungspunkten oder *Knoten* miteinander verbunden sind. In einem Zweig sind ohmsche Widerstände und/oder Spannungsquellen enthalten. Innerhalb des Netzes sind verschiedene geschlossene Strompfade (Stromkreise) möglich. Jeder geschlossene Strompfad im Netz – bei dem kein Zweig oder Knoten mehrmals durchlaufen wird – bildet eine *Masche*.

Durch die Spannungsquellen wird ein Stromfluß verursacht. Zur Berechnung der Stromstärken in den einzelnen Zweigen und der Spannungen über den Widerständen gehen wir von den Kirchhoffschen Sätzen aus.

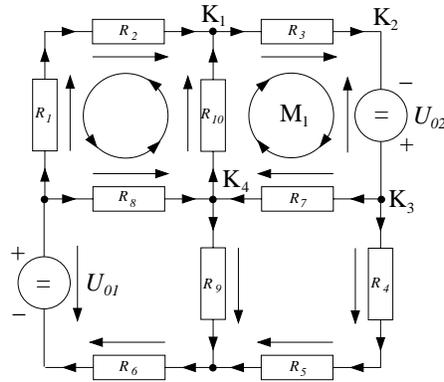


Abb. 1.12. Netz aus Spannungsquellen und ohmschen Widerständen

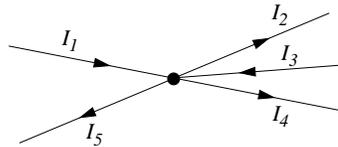


Abb. 1.13. Darstellung eines Knotenpunktes

Knotenregel. An keiner Stelle eines Netzes werden Ladungen angehäuft. Anders formuliert: in jedem gedachten Schnitt im Leitersystem fließt die gleiche Ladungsmenge ab, die auch in derselben Zeiteinheit zufließt (Kontinuitätsbedingung).

Besondere Bedeutung hat diese Aussage für die Knotenpunkte; d.h. die in einem Knoten zufließenden Ströme müssen auch wieder wegfließen. Zufließende und wegfließende Ströme werden durch Pfeile gekennzeichnet.

Für die mathematische Formulierung dieser Aussage werden auf den Knoten zufließende Ströme positiv und vom Knoten wegfließende Ströme negativ gekennzeichnet. Dann gilt für die Ströme in Abb. 1.13:

$$I_1 - I_2 + I_3 - I_4 - I_5 = 0$$

oder $I_1 + I_3 = I_2 + I_4 + I_5$

Daraus folgt durch Verallgemeinerung

$$\sum_{i=0}^n I_i = 0$$

Das ist die Aussage der Knotenregel (1. Kirchhoffscher Satz): *In einem Knotenpunkt ist die Summe aller Ströme Null.*

Maschenregel. In dem Netz nach Abb. 1.12 erzeugen die Spannungsquellen die Spannung U_{01} und U_{02} . Durch die Widerstände fließt deshalb ein Strom. Nach dem Ohmschen Gesetz ist über diesen Widerständen eine Spannung $U = R \cdot I$ messbar. In jedem Knotenpunkt kann deshalb ein unterschiedliches Potential existieren.

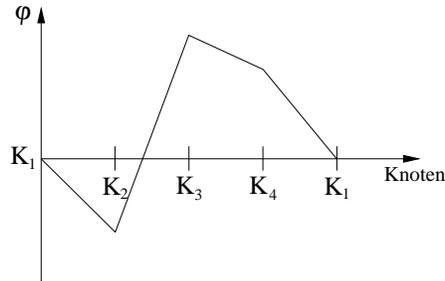


Abb. 1.14. (Angenommener) Potentialverlauf der Masche M_1

Betrachten wir nach Abb. 1.12 die Masche M_1 , einen geschlossenen Strompfad, mit dem Umlaufsinn, der durch die Pfeile angegeben ist. Wir beginnen den Umlauf im Knotenpunkt K_1 und ordnen diesem Punkt (willkürlich) das Potential φ_1 zu. Fließt zwischen K_1 und K_2 ein Strom, dann soll Punkt K_2 das Potential φ_2 haben. Entsprechend habe K_3 das Potential φ_3 und K_4 das Potential φ_4 . Endpunkt des Umlaufs ist Punkt K_1 mit dem Potential φ_1 , graphisch dargestellt in Abb. 1.14. Daraus folgt: *Bei einem geschlossenen Umlauf in einer Masche hat der Ausgangspunkt und der Endpunkt das gleiche Potential.* Bezieht man in diese Betrachtung mit ein, dass einer Potentialdifferenz eine Spannung entspricht, dann ist

$$\begin{aligned}\varphi_2 - \varphi_1 &= U_{K_{12}} \\ \varphi_3 - \varphi_2 &= U_{K_{23}} = U_{02} \\ \varphi_4 - \varphi_3 &= U_{K_{34}} \\ \varphi_1 - \varphi_4 &= U_{K_{14}}\end{aligned}$$

Werden die Potentialdifferenzen oder Spannungen addiert, so folgt:

$$\begin{aligned}(\varphi_2 - \varphi_1) + (\varphi_3 - \varphi_2) + (\varphi_4 - \varphi_3) + (\varphi_1 - \varphi_4) \\ = 0 = U_{K_{12}} + U_{K_{23}} + U_{K_{34}} + U_{K_{14}}\end{aligned}$$

Das ist die Aussage der Maschenregel (2. Kirchhoffscher Satz): *Bei einem geschlossenen Umlauf in einer Masche ist die Summe aller Spannungen (Umlaufspannung) Null.*



Siehe Übungsband
Aufgabe 7:
Maschenregel

Liegen die Knotenpunkte eines Netzes auf unterschiedlichem Potential, so dass zwischen den Punkten eine Spannung besteht, so ist doch nicht ohne weiteres ersichtlich in welche Richtung der Strom fließt. Die Spannungsrichtung (Spannungszählpfeile) der Quellen ist festgelegt. Um die Maschenregel in eine mathematische Form zu bringen, werden zunächst die Stromzählpfeile in den Zweigen der Masche *willkürlich* festgelegt. Dann wird die Umlaufrichtung in der Masche gewählt. Alle Spannungsabfälle an den Widerständen (Spannungszählpfeile) und die vorgegebenen Spannungsrichtungen der Quellen, die in die Umlaufrichtung zeigen, werden positiv gezählt; Spannungszählpfeile, die der Umlaufrichtung entgegengesetzt sind, werden negativ gezählt. Mit dieser Vereinbarung und der *Maschenregel* folgt für die Masche M_1 in Abb. 1.12

$$+U_{K_{12}} - U_{02} + U_{K_{34}} + U_{K_{41}} = 0$$

oder $U_{02} = U_{K_{12}} + U_{K_{34}} + U_{K_{41}}$

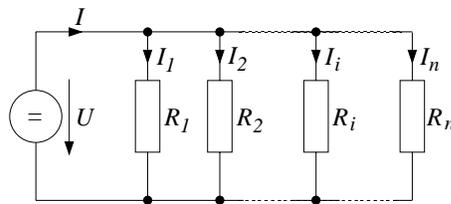


Abb. 1.15.
 Parallelschaltung von
 Widerständen

Anwendung auf Parallel- und Reihenschaltung. Eine Anordnung von Widerständen nach Abb. 1.15 wird *Parallelschaltung* genannt. Alle Widerstände liegen parallel zur Spannungsquelle, deshalb liegt an jedem Widerstand die Spannung U . Der Gesamtstrom I verzweigt sich in die Teilströme I_1, I_2, \dots, I_n , die durch die zugehörigen Widerstände R_1, R_2, \dots, R_n fließen. Die Teilströme werden nach dem Ohmschen Gesetz berechnet:

$$I_1 = \frac{U}{R_1} \quad I_2 = \frac{U}{R_2} \quad \dots \quad I_n = \frac{U}{R_n}$$

Zur Berechnung der Kraftwirkung auf eine Ladung betrachten wir Abb. 1.29. Ein Leiter mit der Länge l befindet sich in einem Magnetfeld mit der Flussdichte \mathbf{B} , d.h. die Stromdichte hat den Betrag $j = I/A$. Die Elektronen mit der Ladung $q = -e_0$ und der Dichtezahl n bewegen sich mit einer mittleren Geschwindigkeit \mathbf{v} durch den Leiter, so dass

$$\begin{aligned} \mathbf{j} &= -e_0 \cdot n \cdot \mathbf{v} \\ \text{und } I &= -e_0 \cdot n \cdot v \cdot A \end{aligned} \quad (1.46)$$

Für die Gesamtkraft \mathbf{F}_L auf den Leiter erhalten wir mit (1.43)

$$\mathbf{F}_L = -e_0 \cdot n \cdot v \cdot A \cdot \mathbf{l} \times \mathbf{B}$$

Mit der Annahme, dass die Elektronengeschwindigkeit den Richtungssinn von \mathbf{l} hat und die Elektronen in einer Zeiteinheit die Weglänge l zurücklegen, können wir schreiben

$$\mathbf{F}_L = -e_0 \cdot n \cdot l \cdot A \cdot \mathbf{v} \times \mathbf{B}$$

Die Gesamtkraft auf den Leiter ist die Summe der Einzelkräfte auf jedes der bewegten Elektronen. Die Gesamtzahl der Elektronen im Leiterstück beträgt $N = n \cdot l \cdot A$. Mit dem Wert für N und $q = -e_0$ als Elektronenladung erhalten wir für die Kraft auf eine *positive* Ladung q

$$\frac{\mathbf{F}_L}{N} = \mathbf{F} = q \cdot \mathbf{v} \times \mathbf{B} \quad (1.47)$$

\mathbf{F} wird Lorentzkraft genannt. Der Richtungssinn von \mathbf{F} folgt aus der Definition des Vektorprodukts: Rechte-Hand-Regel, Daumen \mathbf{v} , Zeigefinger \mathbf{B} , Mittelfinger \mathbf{F} ; oder Rechtsschraubenregel, \mathbf{v} gedreht auf \mathbf{B} zeigt in Richtung \mathbf{F} .



**Siehe Übungsband
Aufgabe 13:
Lorentzkraft**

Mit der Lorentzkraft können wir den *Halleffekt* erklären. Zur Erläuterung des Halleffektes betrachten wir Abb. 1.30.

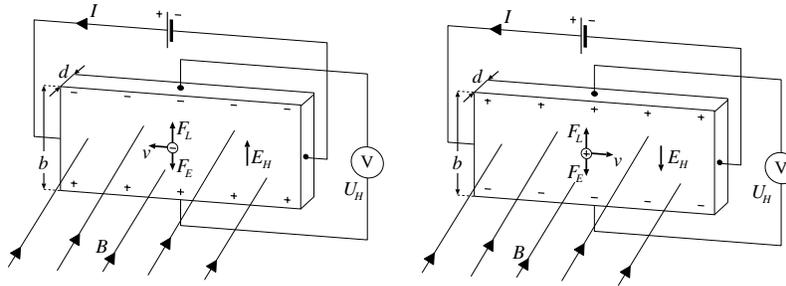


Abb. 1.30. Halleffekt

Ein Leiter (Hall-Plättchen) wird in Längsrichtung von einem Strom I durchflossen. Bringen wir den Leiter in ein Magnetfeld mit der Flussdichte \mathbf{B} , dann ist senkrecht zum Strom zwischen gegenüberliegenden Punkten eine Gleichspannung U_H messbar. Diese Spannung, *Hallspannung* genannt, ist von der Stromstärke I durch den Leiter, von der Flussdichte \mathbf{B} und der Dicke d des Leiters abhängig

$$U_H \sim \frac{I \cdot B}{d}$$

In dem schmalen Leiterstreifen nach Abb. 1.30 wirkt auf die Ladungsträger die Lorentzkraft. Dadurch werden die Ladungsträger aus ihrer ursprünglichen Richtung parallel zur Leiterkante abgelenkt und es kommt zu einer Ladungstrennung im Leiterstreifen. An der einen Schmalseite kommt es zu einer Ansammlung von negativen strömenden Ladungen, auf der anderen Schmalseite herrscht dann Ladungsmangel. Aus dieser ungleichen Ladungsverteilung, dem *Halleffekt*, resultiert eine elektrische Feldstärke \mathbf{E}_H . Auf ein Ladungsteilchen q wirkt deshalb die Lorentzkraft \mathbf{F}_L und die Kraft des elektrischen Feldes \mathbf{F}_e . Es stellt sich ein Kräftegleichgewicht ein, so dass gilt:

$$\mathbf{F}_L = q \cdot \mathbf{v} \times \mathbf{B} = q \cdot \mathbf{E}_H \quad (1.48)$$

Für negative Ladungsträger gilt:

$$\mathbf{F}_L = (-q)(-\mathbf{v}) \times \mathbf{B} = q \cdot \mathbf{E}_H$$

Das Magnetfeld übt sowohl auf positive Ladungsträger Abb. 1.30, die sich von links nach rechts bewegen, als auch auf negative Ladungsträger, die sich von rechts nach links bewegen, eine nach oben gerichtete Kraft F_L aus.

Ist d die Dicke, b die Breite des Leiterstreifens, $d \cdot b = A$ der Querschnitt, dann folgt mit (1.46)

$$q \cdot \frac{I}{n \cdot q \cdot A} \cdot B = q \cdot E_H = q \cdot \frac{U_H}{b}$$

$$U_H = \frac{1}{n \cdot q} \cdot \frac{I \cdot B}{d}$$

$$U_H = R_H \cdot \frac{I \cdot B}{d}$$

$R_H = 1/q \cdot n$ heißt Hall-Koeffizient des Materials. In Metallen ist die Driftgeschwindigkeit der Ladungsträger kleiner als in Halbleitern, deshalb ist eine technische Anwendung des Halleffektes nur mit Halbleitermaterial möglich. Die Hallspannung von Halbleitern nimmt Werte bis zu 1 V an.

1.4.5 Elektromagnetische Induktion

Induktionsversuche. Michael Faraday hat den Begriff *Elektromagnetische Induktion* eingeführt und seine Bedeutung durch einfache Versuche erklärt. Ein elektrischer Leiter wird zu einer Schleife gewunden und die beiden Enden werden mit einem Voltmeter verbunden (Abb. 1.31).

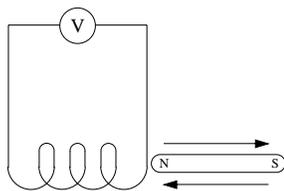


Abb. 1.31.
Versuchsanordnung zur
Demonstration der elektro-
magnetischen Induktion

Wir bewegen nun einen Stabmagneten in die Leiterschleife und beobachten während der ganzen Zeit der Bewegung einen Zeigerausschlag des Voltmeters. Ziehen wir den Stabmagneten wieder heraus, so beobachten wir einen Ausschlag in entgegengesetzte Richtung. Wir sagen: *In der Leiterschleife ist eine Spannung U_i induziert worden.* Wir machen die gleiche Beobachtung, wenn wir den Stabmagneten durch eine stromdurchflossenen Spule ersetzen und den Spulenstrom ein- und ausschalten. Oder wenn wir die stromdurchflossene Spule vor der Leiterschleife hin- und herbewegen. Als Ergebnis aus diesen Versuchen erhalten wir:

mit $\mu_{rL} \approx 1$ folgt

$$H_L = \mu_{rFe} \cdot H_{Fe}$$

d.h. für $\mu_{rFe} = 1000$ ist die magnetische Feldstärke in Luft 1000 mal grösser als in Eisen.

Aufgrund der hohen magnetischen Feldstärke im Luftspalt bildet sich ein Streufeld aus, das in die magnetisierbare Schicht hineinwirkt und diese bis in den Sättigungsbereich der Hysteresekurve magnetisiert.

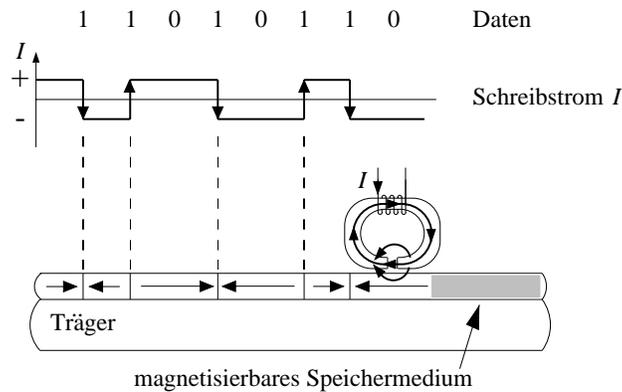


Abb. 1.37. Schreibvorgang auf magnetische Datenträger

Abhängig von der Richtung des Spulenstromes wird in den Bereich $+B_s$ und $-B_s$ magnetisiert und es bleiben die Remanenzwerte $+B_r$ und $-B_r$. Der Bereich oder das Spurelement entlang dem die Schicht bis zu einer Flussdichte $+B_r$ oder $-B_r$ magnetisiert wird, ist vom Zeitintervall Δt , in dem der Schreibstrom fließt und von der Geschwindigkeit v des sich bewegenden Trägermaterials abhängig. Das Spurelement hat die Länge $v \cdot \Delta t$. Der Zustand der magnetisierten Spurelemente mit der Flussdichte $+B_r$ und $-B_r$ bleibt erhalten oder gespeichert und es können die Binärwerte 0 und 1 zugeordnet werden. Der Schreibvorgang ist in Abb. 1.37 dargestellt. (Der Pfeil im Schreibstrom I soll die Richtungsänderung andeuten)

Die Rückgewinnung oder das Lesen der Binärwerte beruht auf dem Induktionsgesetz; $U_i = -\frac{d\phi}{dt}$. Aus diesem Grunde ist es zweckmäßiger, die Binärwerte 0 und 1 nicht den Zuständen $+B_r$ und $-B_r$ zuzuordnen, sondern den Bereichs- oder Bitgrenzen, d.h. dort wo ein Bit anfängt und wo es aufhört. An diesen Grenzbereichen findet ein Magnetisierungswechsel und mit der Gleichung $\frac{d\phi}{dt} = \frac{d}{dt}(B \cdot A)$ ein Flusswechsel statt. Ein Flusswechsel

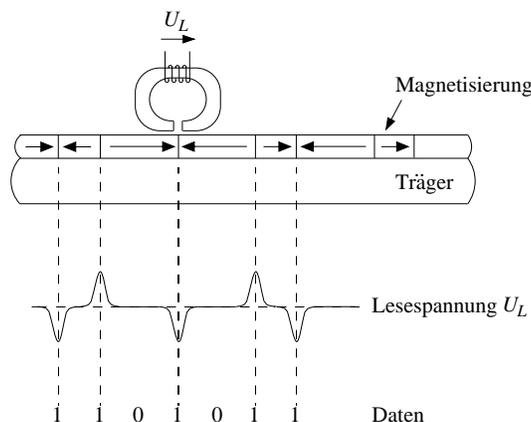


Abb. 1.38. Lesevorgang von magnetischen Datenträgern

von $-B_r$ nach $+B_r$ oder von $+B_r$ nach $-B_r$ liefert nach dem Induktionsgesetz einen Spannungsimpuls und entspricht im Binärwort einem Übergang von 1 nach 0 oder von 0 nach 1. Der Lesevorgang ist in Abb. 1.38 dargestellt. In einer Folge von mehreren Einsen oder Nullen in einem Binärwort findet kein Flusswechsel statt. Es entsteht daher auch kein Spannungsimpuls, der die Bitgrenzen anzeigt. Schwankungen in den Bitgrenzen erfordern zur eindeutigen Erkennung einen zusätzlichen Taktflusswechsel. In den Anfängen der elektronischen Rechenanlagen wurden deshalb auf mindestens einer Spur Taktflusswechsel aufgezeichnet, die beim Lesen einen Spannungsimpuls als Referenzimpuls für Spuren mit Bitflusswechsel lieferten. Heute werden zur optimalen Ausnutzung der Speicherfläche die notwendigen Taktflusswechsel mit den Bitflusswechsel verknüpft oder *codiert*. Die verschiedenen Codierungen werden Aufzeichnungsverfahren genannt. Die drei bekanntesten Verfahren sind:

- Frequenzmodulation – FM
- Modifizierte Frequenzmodulation – MFM
- Lauflängenbegrenzung (Run Length Limited – RLL)

Eine ausführliche Beschreibung der Aufzeichnungsverfahren findet sich in Band 2 und [Bähring, 1994].

Datenspeicher auf magneto-optischer Basis. Das Verhalten von ferromagnetischen Stoffen im Magnetfeld in Verbindung mit besonderen Eigenschaften des Laserlichtes führte zur Entwicklung der *magneto-optischen Speichermedien*. Diese magneto-optischen Speichermedien können vom Benutzer beschrieben, gelöscht und wieder beschrieben werden. Sie sind also

zu unterscheiden von CD-ROMs und WORMs (write once, read many), die nur optische Eigenschaften des Speichermediums nutzen. In Abb. 1.39 ist der Aufbau eines magneto-optischen Speichersystems dargestellt.

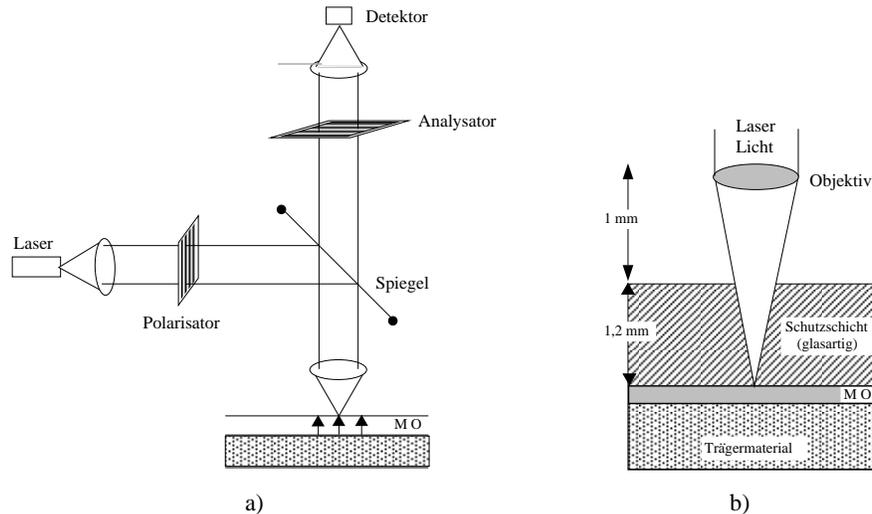


Abb. 1.39. Magneto-optisches Speichersystem: a) Systemdarstellung b) Aufbau der Speicherschicht

Drei Reaktionsfähigkeiten werden bei magneto-optischen Speichermedien genutzt:

1. eine thermomagnetische für den Schreibvorgang
2. eine magnetische für die permanente Speicherung
3. eine magneto-optische für den Lesevorgang

Der Vorgang ist in Abb. 1.40 dargestellt [Schmidt, 1990].

Thermomagnetisches Schreiben. Die Magnetisierung eines ferromagnetischen Materials ist abhängig von der Temperatur. Mit zunehmender Temperatur nimmt die Magnetisierung ab. Oberhalb einer bestimmten Temperatur, *Curietemperatur* genannt, wird die Magnetisierung Null. Wird magnetisches Material bis zur Curietemperatur erhitzt, dann verliert es seine Magnetisierung. Kühlt das Material anschließend wieder ab, so kann es eine Magnetisierung annehmen, die ihm ein außen vorhandenes Magnetfeld aufprägt. In magneto-optischen Speichermedien werden die binären Daten wie bei ferromagnetischen Speichermedien durch ein Magnetisierungsmuster dargestellt.

Beim Schreibvorgang werden winzige Bereiche des magneto-optischen Materials durch einen scharf fokussierten Laserstrahl (Focusbreite $0,5\ \mu\text{m}$) bis an die Curietemperatur erhitzt, was zum lokalen Verlust der Magnetisierung führt. Beim Abkühlen nimmt das Material eine Magnetisierung an, die ihm ein außen vorhandenes Magnetfeld aufprägt. Die Magnetisierungsrichtung liegt senkrecht zur Plattenoberfläche.

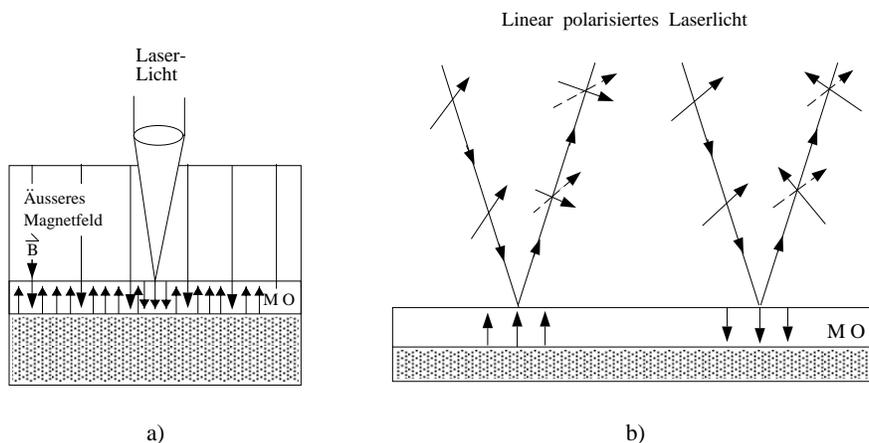


Abb. 1.40. Magneto-optisches Speichern: a) Thermomagnetisches Schreiben b) Magneto-optisches Lesen

Das Schreiben eines Sektors läuft in zwei Schritten ab:

1. Das äußere Magnetfeld ist zunächst so gerichtet, dass die Bitzellen durch Erhitzung des Laserstrahles und die anschließende Abkühlung zurückgesetzt werden. Der gesamte Sektor wird auf diese Weise gelöscht.
2. Die Feldrichtung des äußeren Magnetfeldes wird umgekehrt, und die 1-Signale werden durch lokales Erhitzen mit dem Laser und nachfolgendes Abkühlen eingeschrieben. Bei 0-Signal im Datenstrom wird der Laser abgeschaltet.

Permanente magnetische Speicherung. Das eingeschriebene Magnetisierungsmuster bleibt aufgrund der magnetischen Remanenzeigenschaft des Materials erhalten.

Magneto-optisches Lesen. Das physikalische Prinzip des Lesevorgangs ist nicht die elektromagnetische Induktion wie bei rein ferromagnetischen Speichermedien, sondern ein optischer Effekt, der *magneto-optische Kerr-Effekt* oder *Faraday-Effekt* auch *Magnetorotation* genannt. Dieser Effekt beschreibt die Tatsache, dass ein linear polarisierter Lichtstrahl bei der Reflexion an der Oberfläche eines magnetisierten Materials seine Polarisationsebene

Lichtwellenleiter. Lichtwellenleiter (LWL) sind hochreine Quarzglasfasern, die optische Signale weiterleiten. Sie sind eine Weiterentwicklung der *Lichtleiter*, die das Licht durch vielfache Totalreflexion übertragen. Diese Tatsache folgt aus dem Snelliusschen Brechungsgesetz (Abb. 1.55).

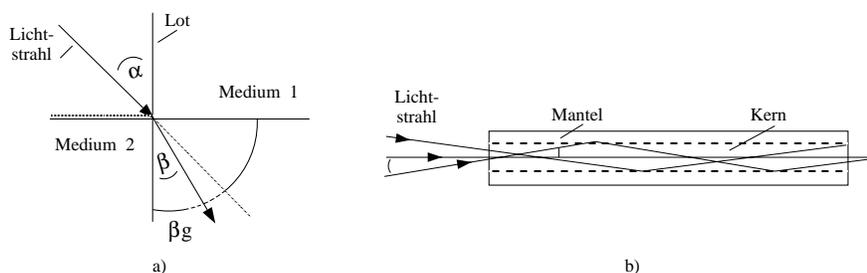


Abb. 1.55. Lichtleitung durch Totalreflexion: a) Brechungsgesetz b) Lichtleitung in einem LWL

Für Licht als Welle lautet das Gesetz: Ein Lichtstrahl, der von einem optisch dünneren Medium (Luft) in ein optisch dichteres Medium (Glas) übergeht wird zum Lot hin gebrochen³. Es gilt die Gleichung:

$$\frac{\sin \alpha}{\sin \beta} = \text{const.} = \frac{n_2}{n_1} = \frac{c_1}{c_2}$$

Dabei ist n_1 die Brechzahl des Mediums 1 und n_2 die Brechzahl des Mediums 2. c_1 und c_2 sind die Ausbreitungsgeschwindigkeiten im Medium 1 und 2. Der Brechungsindex (bei 20°C für $\lambda = 589\text{nm}$) für Luft ist $n = 1,000272$ und für Quarzglas $n = 1,4588$.

Kehrt man den Lichtweg um, also vom optisch dichteren zum optisch dünneren Medium, so wird der Lichtstrahl vom Lot weg gebrochen. Sobald der Winkel α den Wert 90° erreicht, verläuft der Strahl entlang der Grenzfläche beider Medien (in Abb. 1.55 gestrichelt dargestellt).

$$\begin{aligned} \text{aus } \frac{\sin 90^\circ}{\sin \beta_g} &= \frac{n_2}{n_1} \\ \Rightarrow \sin \beta_g &= \frac{n_1}{n_2} \end{aligned}$$

³ der einfallende Lichtstrahl, das Lot und der gebrochene Lichtstrahl liegen stets in einer Ebene

Der zugehörige Winkel β_g heißt Grenzwinkel der Totalreflexion. Ist der Einfallswinkel größer als β_g , so existiert kein reeller Brechungswinkel. Der Lichtstrahl kann nicht in das dünnere Medium übertreten. Das Licht wird an der Grenzfläche reflektiert und man nennt diesen Vorgang *Totalreflexion*.

Lichtstrahlen, die an der Stirnfläche in einen LWL eintreten, werden durch vielfache Totalreflexion gehindert den Leiter zu verlassen. Sie folgen allen Faserbiegungen und treten am Faserende wieder aus.

Der allgemeine Aufbau eines LWL ist in Abb. 1.56 dargestellt. Er besteht aus einem Kern mit dem Brechungsindex n_1 und einem Mantel mit dem Brechungsindex n_2 , wobei $n_2 < n_1$. Da der Kerndurchmesser des LWL im Bereich der Wellenlänge des Lichtes liegt, kann die Lichtausbreitung nicht mehr mit dem Modell des *Lichtstrahls* sondern nur mit dem *Wellenmodell* beschrieben werden. Wie bei hohen Frequenzen die Eigenschaften des elektrischen Leiters das Signal (Signalparameter) verändern können, so beeinflussen auch die Eigenschaften des LWL das optische Signal. Die Einflussgrößen sind *Dispersion* und Dämpfung.

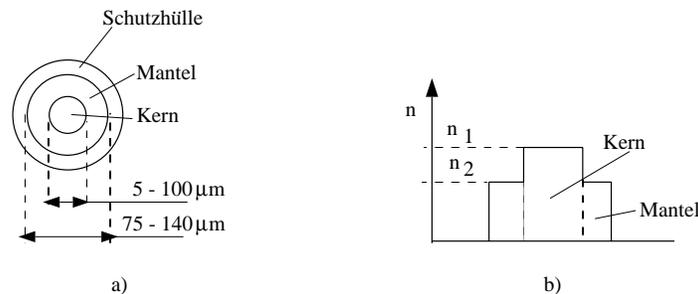


Abb. 1.56. Aufbau eines LWL: a) Querschnitt b) Brechzahlprofil

Für die Lichtausbreitung nach Abb. 1.55 folgt, dass Strahlen mit verschiedenen Winkeln zur Achse verschieden lange Wege im LWL haben. Daraus ergeben sich Laufzeitunterschiede. Im Wellenmodell (Eigenwerte der Wellengleichung) entsprechen den Strahlrichtungen mehrere Wellenformen, genannt *Moden*. Jeder Mode ist dadurch charakterisiert, dass die optische Lichtstärkeverteilung quer zur Ausbreitungsrichtung eine ganzzahlige Anzahl von Maxima und Minima aufweist (Abb. 1.57). LWL, in denen sich der Lichtimpuls in mehreren Moden ausbreitet, heißen *Multimodefaser*.

Die einzelnen Moden im LWL haben unterschiedliche Laufzeiten, die der Faserlänge proportional sind. Dies führt zur Impulsverbreiterung oder Modendispersion. Es gilt:

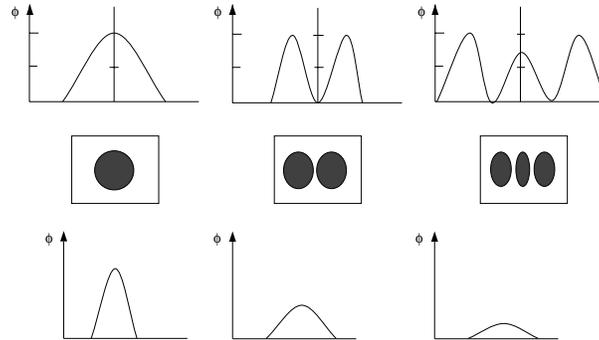


Abb. 1.57. Modenausbreitung und Impulsverbreiterung

$$\frac{\Delta t}{t} = \frac{\Delta n}{n}$$

Beispiel:

Für einen Brechungsindex des Kerns von $n_2 = 1,46$ ergibt sich die Fortpflanzungsgeschwindigkeit im LWL zu

$$c_2 = \frac{n_1}{n_2} c_1 = \frac{c_1}{n_2} = \frac{300.000 \text{ km/s}}{1,46} = 205.480 \text{ km/s}$$

wobei c_1 die Lichtgeschwindigkeit und n_1 der Brechungsindex der Luft seien. Mit einer Faserlänge von 1 km und für $\Delta n/n = 0,01$ folgt dann für die Laufzeitdifferenz

$$\Delta t = t \cdot \frac{\Delta n}{n} = \frac{1 \text{ km}}{c_2} \cdot \frac{\Delta n}{n} = \frac{1 \text{ km}}{205.480 \text{ km/s}} \cdot 0,01 \approx 50 \text{ ns}$$

Damit ergibt sich eine maximale Bitrate von $1/50 \text{ ns} = 20 \text{ MBit/s}$.

Die Modendispersion ist vermeidbar, wenn der Faserkern so dünn gemacht wird, dass sich nur noch ein Mode ausbreitet. Die Intensität über den Faserquerschnitt hat dann nur ein Maximum. Solche Fasern heißen *Einmoden-* oder *Monomode-LWL*. Der Faserkern hat einen Durchmesser von etwa $5 \mu\text{m}$. Andere Dispersionseffekte, die ebenfalls eine Impulsverbreiterung verursachen sind:

grenzen (P– GaAlAs, N– GaAlAs) eingeschlossen, welche als Barrieren für die injizierten Ladungsträger dienen. Bei genügend hoher Ladungsträgerinjektion wird in der aktiven Zone eine *Besetzungsinversion* erreicht und der Lasereffekt setzt ein.

Typische Eigenschaften und Daten von Laserdioden sind (Angaben für einen GaAlAs–Halbleiter) [Siemens, 1990]:

- Abmessung von etwa $300\ \mu\text{m} \times 10\ \mu\text{m} \times 50\ \mu\text{m}$
- Wellenlänge 750–950 nm
- Schwellstrom 15 mA; Spannung 3 V; Leistung 30 mW; Wirkungsgrad etwa 30%
- Direkte Modulation über den Injektionsstrom mit Frequenzen von 0 bis 10 GHz
- Anwendung in magneto–optischen Datenträgern, CD–Plattenspielern, Laserdruckern (Band 2; Peripheriegeräte), optische Nachrichtensysteme.
- Direkte Integrierbarkeit mit elektronischen Komponenten und Schaltungen. Insbesondere elektrooptische Sender für Lichtwellenleiterübertragungssysteme.

Eine ausführlich Beschreibung von *optoelektronischen Halbleiterbauelementen* findet sich in [M. Reich, 1997, H. Tholl, 1978].

2.4 Bipolartransistoren

Der Bipolartransistor wurde 1947 von Shockley, Bardeen und Brattain erfunden. Die Realisierung in Planartechnik (1960) gab den Anstoß zur Entwicklung integrierter Schaltungen. Hauptanwendung findet der Bipolartransistor als Verstärker und als Schalter.

In diesem Abschnitt werden Aufbau und Funktionsprinzip, Beschreibung durch Kennlinien und Anwendung als Verstärker dargestellt.

2.4.1 Aufbau und Funktionsprinzip

Bipolartransistoren sind Halbleiterbauelemente, die aus zwei *pn*-Übergängen bestehen. Bei einer Halbleiterzonenfolge *npn* spricht man von einem *npn*-Transistor und bei einer Folge *pnp* von einem *pnp*-Transistor. Von jeder Zone führt ein Anschluß nach außen, der beschaltet werden kann. Die Zonen haben die Bezeichnung *Emitter*(E), *Basis*(B) und *Kollektor*(C) (Abb. 2.22).

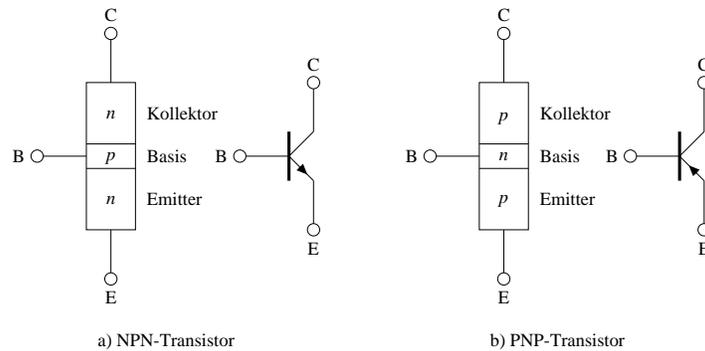


Abb. 2.22. Zonenfolge, Anschlußbezeichnung und Schaltzeichen bei Bipolar-Transistoren

Die pn -Übergänge wirken wie Halbleiterdioden. Deshalb spricht man von der Basis-Emitter(BE)-Diodenstrecke und von der Basis-Kollektor(BC)-Diodenstrecke. In *Normalbetrieb* wird der BE- pn -Übergang in Flussrichtung, der BC- pn -Übergang in Sperrichtung gepolt.

Wird ein nnp -Transistor in Normalbetrieb beschaltet, dann werden Elektronen von der Emitterzone in die Basiszone injiziert (emittiert). Die meisten Elektronen gelangen von dort in die Sperrschicht des BC- pn -Übergangs. In diesem Bereich sind die Elektronen Minoritätsladungsträger, die sich durch die Feldstärke der BC-Sperrspannung zum Kollektoranschluß hinbewegen. Diese Ladungsbewegung vom Emitter zum Kollektor wird *Transferstrom* genannt. Die technische Stromflussrichtung geht vom Kollektor zum Emitter. Dieser Sachverhalt wird im Schaltzeichen des nnp -Transistors dargestellt. Der Pfeil, der den Emitter kennzeichnet, gibt die technische Stromflussrichtung im Normalbetrieb an.

Im npn -Transistor besteht der Transferstrom aus *Löcherbewegung* vom Emitter zum Kollektor. Die technische Stromflussrichtung ist deshalb die gleiche wie die Ladungsträgerflussrichtung, was ebenfalls im Schaltzeichen angedeutet ist.

Die Tatsache, dass bei flussgepoltem BE-Übergang und in Sperrichtung gepolten BC-Übergang ein Transferstrom vom Emitter zum Kollektor fließt, wird *Transistoreffekt* genannt. Durch den flussgepolten BE-Übergang werden Löcher in den Emitter injiziert, die mit Elektronen rekombinieren. Dieser Löcherstrom von der Basis zum Emitter wird Basisstrom I_B genannt. Die vom Emitter über den BE- pn -Übergang in die Basis injizierten Elektronen rekombinieren zum Teil mit Löchern in der Basis.

Das Ziel bei der Herstellung von nnp (npn) Transistoren ist es, dass möglichst alle vom Emitter emittierten Ladungsträger über den BE-Übergang und den BC-Übergang zum Kollektoranschluß gelangen. Damit beim nnp -Transistor

nur ein kleiner Löcherstrom von der Basis in den Emitter fließt, ist der Basisbereich weniger hoch mit Akzeptoratomen dotiert als der Emitterbereich mit Donatoratomen.⁶ Damit andererseits wenig Elektronen mit Löchern in der Basis rekombinieren, ist die Basisweite kleiner als die Diffusionslänge der Elektronen in der Basis. In *npn*-Transistoren fließen deshalb bei Normalbetrieb folgende Stromanteile:

- Elektronen als Emitterstrom I_E aus dem Emitterbereich in die Basis.
- Der größte Anteil des Emitterstromes $A \cdot I_E$ fließt als Transferstrom zum Kollektoranschluß und bildet den Kollektorstrom I_C .
- Löcherstrom aus dem Basisbereich in den Emitterbereich. Ein Anteil Löcherstrom als Rekombinationsstrom mit dem Emitterstrom in der Basis.

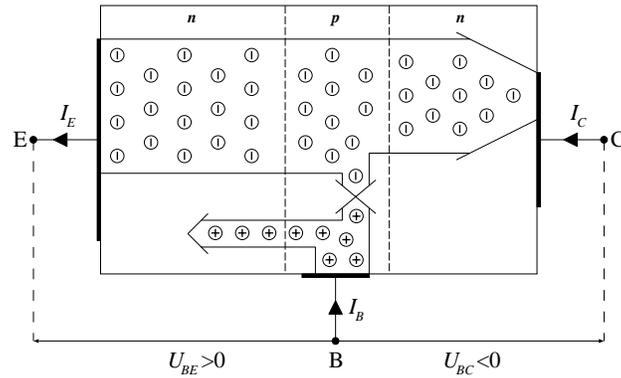


Abb. 2.23. Stromanteile im *npn*-Transistor

Diese Stromanteile sind in Abb. 2.23 dargestellt. Zählt man alle Stromanteile entsprechend der technischen Stromrichtung positiv, so folgt als Strombilanz

$$I_E = I_B + I_C \quad (2.7)$$

Für den Transferstrom oder Kollektorstrom

$$\text{gilt} \quad I_C = A \cdot I_E \quad (2.8)$$

$$\text{oder} \quad A = \frac{I_C}{I_E} \quad (2.9)$$

⁶ Ein Zahlenbeispiel für die Dotierung:

$$N_{D,E} = 10^{19} \text{ cm}^{-3}, N_{A,B} = 10^{17} \text{ cm}^{-3}, N_{D,C} = 10^{15} \text{ cm}^{-3}$$

A ist ein Maß für die Rekombinationsverluste des Emitterstromes mit dem Basisstrom. A liegt im Wertebereich $0,98 \dots 0,995$. In dem flussgepolten BE-Übergang fließt ein kleiner Löcherstrom in den Emitter und ein großer Elektronenstrom vom Emitter in die Basis und als Transferstrom weiter zum Kollektor. Ein kleiner Löcherstrom als Basisstrom I_B steuert deshalb einen großen Elektronenstrom als Transfer- oder Kollektorstrom I_C . Im Normalbetrieb wird das Verhältnis Kollektorstrom zu Basisstrom die Stromverstärkung B_N genannt.

$$B_N = \frac{I_C}{I_B} \quad (2.10)$$

Der Wert von B_N ist sehr viel größer als eins, er liegt in der Größenordnung von $100 \dots 200$. Der Bipolartransistor ist demnach ein *Verstärkerbauelement*, bei dem ein kleiner Strom I_B im Eingangskreis einen großen Strom I_C im Ausgangskreis steuert. Deshalb spricht man von einer stromgesteuerten Stromquelle.

Weil der Bipolartransistor symmetrisch aufgebaut ist, kann auch der BC- pn -Übergang in flussrichtung und der BE- pn -Übergang in Sperrichtung gepolt werden. Dann fließt ein Transferstrom vom Kollektor zum Emitter. Diese Betriebsart wird *Rückwärtsbetrieb* (*Inversbetrieb*) genannt. Die Rückwärtsstromverstärkung B_I ist aufgrund der unterschiedlichen Dotierung von Kollektor, Basis und Emitter meist kleiner als eins. Neben Normalbetrieb und Inversbetrieb gibt es Sättigungsbetrieb und Sperrbetrieb. Alle Betriebsarten sind abhängig von der Polungsart der pn -Übergänge. In Tabelle 2.3 sind alle Betriebsarten und ihre Polung zusammengestellt. Der Bipolartransistor ist

Betriebsart	BE-Übergang	BC-Übergang
Normalbetrieb	$U_{BE} > 0$; flussgepolt	$U_{BC} < 0$; sperrgepolt
Inversbetrieb	$U_{BE} < 0$; sperrgepolt	$U_{BC} > 0$; flussgepolt
Sättigungsbetrieb	$U_{BE} > 0$; flussgepolt	$U_{BC} > 0$; flussgepolt
Sperrbetrieb	$U_{BE} < 0$; sperrgepolt	$U_{BC} < 0$; sperrgepolt

Tabelle 2.3. Betriebsarten und Polung von Bipolartransistoren

ein Verstärkerbauelement mit Eingangstromkreis und Ausgangstromkreis. Weil der Bipolartransistor drei Anschlüsse hat, muß ein Anschluß sowohl dem Eingangskreis als auch dem Ausgangskreis angehören. Der Anschluß,

der dem Eingangskreis und dem Ausgangskreis angehört, gibt der entsprechenden Schaltung den Namen. Deshalb spricht man von der *Basis-, Emittter-,* und *Kollektorgrundsaltung*.

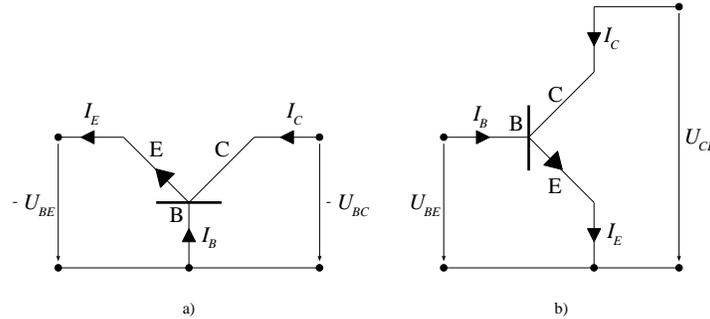


Abb. 2.24. npn-Transistor in: a. Basisschaltung; b. Emitterschaltung

Die verschiedenen Grundsaltungen haben unterschiedliche Eigenschaften bezüglich Stromverstärkung, Spannungsverstärkung und Leistungsverstärkung. Die größte Leistungsverstärkung wird mit der Emitterschaltung erreicht. Die Emitterschaltung hat deshalb die größte Bedeutung.

2.4.2 Kennlinienfelder

Von der Funktion her betrachtet haben wir den Bipolartransistor als ein Halbleiterbauelement kennengelernt, bei dem ein kleiner Basisstrom (I_B) einen großen Kollektorstrom (I_C) steuern kann. Oder von der Anwendung her betrachtet: Ein kleiner Strom im Eingangsstromkreis steuert einen großen Strom im Ausgangstromkreis oder im Laststromkreis. In Abb. 2.25 ist dieser Sachverhalt für einen npn-Transistor in Emitterschaltung dargestellt.

Diese qualitative Aussage kann mit Kennlinien quantitativ beschrieben werden. Dabei wird das elektrische Verhalten der vier Größen I_B, U_{BE}, I_C, U_{CE} in ihrer Abhängigkeit voneinander dargestellt. Entsprechend Abb. 2.25 sind I_B und U_{BE} Eingangsgrößen, I_C und U_{CE} die Ausgangsgrößen der Schaltung. Die Emitterschaltung wird deshalb durch folgende Kennlinien beschrieben:

- Eingangskennlinien $I_B = I_B(U_{BE})_{U_{CE}} = \text{const}$
- Ausgangskennlinien $I_C = I_C(U_{CE})_{I_B} = \text{const}$
- Transferkennlinien $I_C = I_C(I_B)_{U_{CE}} = \text{const}$

3.1.1 Der ideale Schalter

In der *Schaltalgebra* werden die binären Variablen mit Verknüpfungsglieder aus idealen Schaltern verknüpft. Das bedeutet, der Verknüpfungsvorgang erfordert keine Leistung und ist zeitunabhängig. Die Verknüpfung von Schaltvariablen in digitalen Datenverarbeitungssystemen geschieht mit realen Schaltern, die nicht leistungslos und zeitabhängig arbeiten. Allerdings ist es das Ziel, die Eigenschaften realer Schalter an die idealer Schalter anzugleichen. Die Eigenschaften eines idealen Schalters S sind (Abb. 3.1):

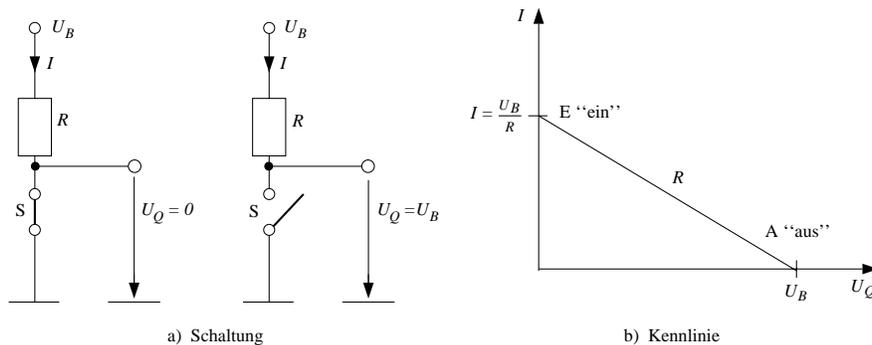


Abb. 3.1. Idealer Schalter

- Im Schalterzustand *ein* ist der Innenwiderstandswert des Schalters S $R_i = 0$. Daraus folgt $I = U_B/R$ und $U_Q = 0$ V.
- Im Schalterzustand *aus* ist der Sperrwiderstand des Schalters S $R_s = \infty$. Daraus folgt $I = 0$ und $U_Q = U_B$.
- Die Schaltwirkung folgt unmittelbar der Schaltursache, es gibt keine Zeitverzögerung.
- Die vom Schalter aufgenommene Leistung $P = U \cdot I$ ist immer Null, da entweder der Strom I ("aus"), oder die Spannung U ("ein") gleich Null ist.

Kein realer Schalter kann diese Anforderungen erfüllen. Mit elektronischen Schaltern kommt man dem Ziel am nächsten. Je nach Bauelementtyp (bipolar oder unipolar) werden mehr die einen oder die anderen Eigenschaften optimal erreicht. Deshalb haben sich verschiedene Schaltkreisfamilien entwickelt. Zunächst das Modell eines realen Schalters.

3.1.2 Modell eines realen Schalters

In realen Schaltern können die Widerstandswerte $R_i = 0$ und $R_s = \infty$ nicht erreicht werden. Angestrebt wird jedoch, dass R_i bei der Schalterstellung *ein*

sehr klein und R_s bei der Schalterstellung *aus* sehr groß sind. Im Ersatzschaltbild und Kennlinienbild eines realen Schalters nach Abb. 3.2 sind die Widerstände R_i und R_s berücksichtigt.

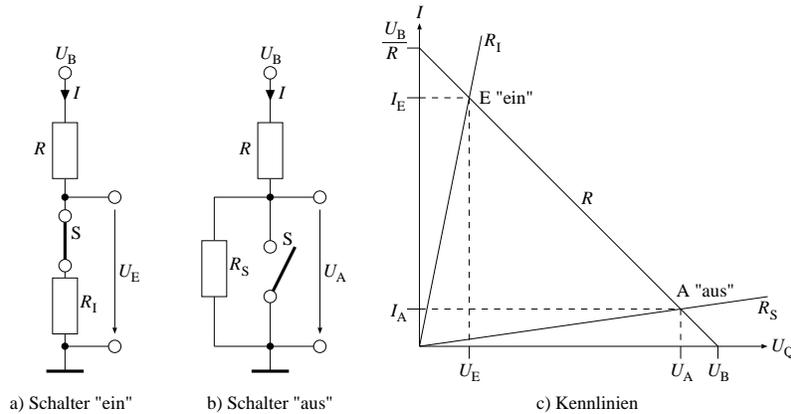


Abb. 3.2. Modell eines realen Schalters

In der Schalterstellung *ein* liegen R und R_i in Reihe und ihre Widerstandsgeraden schneiden sich im Arbeitspunkt E. Für Strom und Spannung gilt

$$I_E = \frac{U_B}{R + R_i} ; U_E = \frac{U_B \cdot R_i}{R + R_i}$$

Am Schalter fällt also eine Spannung U_E ab. In der Schalterstellung *aus* liegen R und R_s in Reihe und ihre Widerstandsgeraden schneiden sich im Arbeitspunkt A. Für Strom und Spannung gilt

$$I_A = \frac{U_B}{R + R_s} ; U_A = \frac{U_B \cdot R_s}{R + R_s}$$

Trotz Schalterstellung *aus* fließt ein Strom I_A . In beiden Betriebszuständen wird vom Schalter Leistung aufgenommen, weil entweder der Strom I_A oder die Spannung U_E verschieden von Null sind.

3.1.3 Bipolartransistor als Schalter

Mit einem Bipolartransistor als Schalter kommt man den Eigenschaften eines idealen Schalters näher. Als eigentlicher Schalter dient die Leitfähigkeit der Kollektor–Emitterstrecke. Der Schaltvorgang wird durch einen Basisstrom I_B

ausgelöst. Die Schalterzustände *ein/aus* werden durch die Zustände *Transistor leitend/Transistor gesperrt* realisiert. In Abb. 3.3 sind ein Transistorschalter und seine Betriebszustände *ein/aus* im Ausgangskennlinienfeld dargestellt.

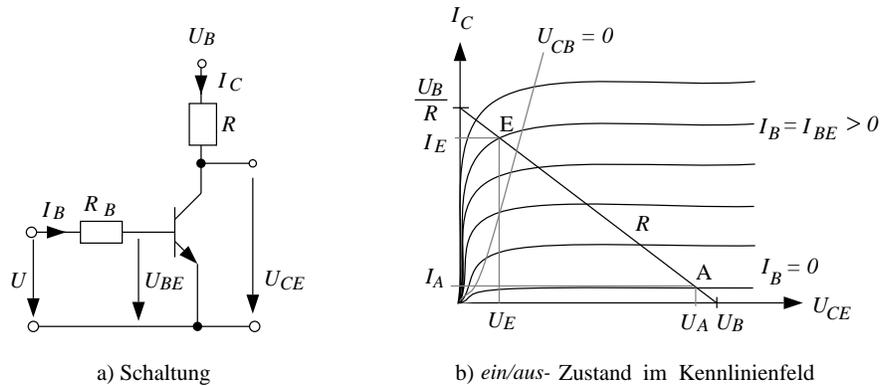


Abb. 3.3. Transistorschalter

Für $I_B = 0$ ist die Kollektor–Emitterstrecke gesperrt. Es fließt nur ein Reststrom $I_{CE}(I_B = 0)$, der dem Sperrstrom der Kollektor–Basis–Diode entspricht. Mit dem Basisstrom $I_B = 0$ wird der Transistorschalter *ausgeschaltet*. Der Schnittpunkt der Kennlinie für $I_B = 0$ mit der Widerstandsgeraden für R ist der Arbeitspunkt A des Schalterzustandes *aus*. Diese Kennlinie entspricht der Kennlinie für R_s in Abb. 3.2. Mit einem Basisstrom $I_B > 0$ wird die Kollektor–Emitterstrecke leitend, der Transistor *eingeschaltet*. Der erforderliche Basisstrom $I_B = I_{BE} > 0$ wird so gewählt, dass die zugehörige Kennlinie die Widerstandsgerade für R im *Übersteuerungsbereich*¹ schneidet. In diesem Bereich ist die Kennliniensteigung am größten, der Innenwiderstand zwischen Kollektor und Emitter ist sehr klein. Die Kennlinie entspricht dann der Kennlinie für R_i in Abb. 3.2. Der Schnittpunkt der Kennlinie für I_{BE} mit der Widerstandsgeraden für R ist der Arbeitspunkt des Schalterzustandes *ein*. Wechselt der Eingangsstrom zwischen $I_B = 0$ und I_{BE} , so schaltet die Ausgangsspannung U_{CE} zwischen den Spannungswerten U_A und U_E um. Bei der Dimensionierung einer solchen Schaltung muss darauf geachtet werden, dass die Arbeitspunkte unterhalb der Leistungshyperbel liegen.

¹ Der Übersteuerungsbereich liegt im Ausgangskennlinienfeld links der Kennlinie $U_{CB} = 0$. Der Transistor befindet sich dann im Übersteuerungszustand, d.h. Kollektordiode und Emitterdiode werden in Durchlaßrichtung betrieben

Der Grad der Übersteuerung wird durch den Übersteuerungsfaktor \ddot{u} angegeben. Er ist das Verhältnis zwischen dem tatsächlich fließenden Basisstrom I_B und dem Basisstrom I'_B , der erforderlich wäre, um den Transistor bis zur Grenze $U_{CB} = 0V$ durchzusteuern:

$$\ddot{u} = \frac{I_B}{I'_B}$$

Die Übersteuerung liegt im Bereich $\ddot{u} \approx 2$ bis $\ddot{u} \approx 10$.



**Siehe Übungsband
Aufgabe 27:
RTL-NICHT-Glied**

3.1.4 Unipolartransistor als Schalter

Von den unipolaren Transistortypen haben in der Digitalelektronik die *selbstsperrenden* MOS-FET die größere Bedeutung. Sowohl *n*-Kanal als auch *p*-Kanal MOS-FET eignen sich als Schalter. In Abb. 3.4 ist ein selbstsperrender *n*-Kanal MOS-FET als elektronischer Schalter dargestellt.

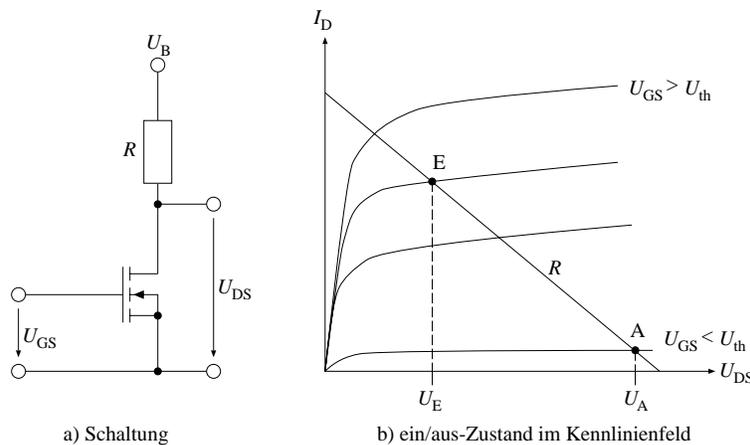


Abb. 3.4. MOS-FET als Schalter

Die Schalterzustände *ein/aus* werden wie beim bipolaren Transistor durch die Zustände *Transistor leitend/Transistor gesperrt* realisiert.

Für $U_{GS} < U_{th}$ ist die Drain-Source-Strecke gesperrt. Mit dieser Spannung wird der Transistorschalter *ausgeschaltet*. Der Schnittpunkt der Kennlinie

Die Realisierung von Booleschen Verknüpfungen geschieht wieder mittels Parallel- und Reihenschaltung von Schalttransistoren (Abb. 3.24). Für positive Zuordnung werden mit der

Reihenschaltung die NAND-Verknüpfung und mit der Parallelschaltung die NOR-Verknüpfung realisiert.

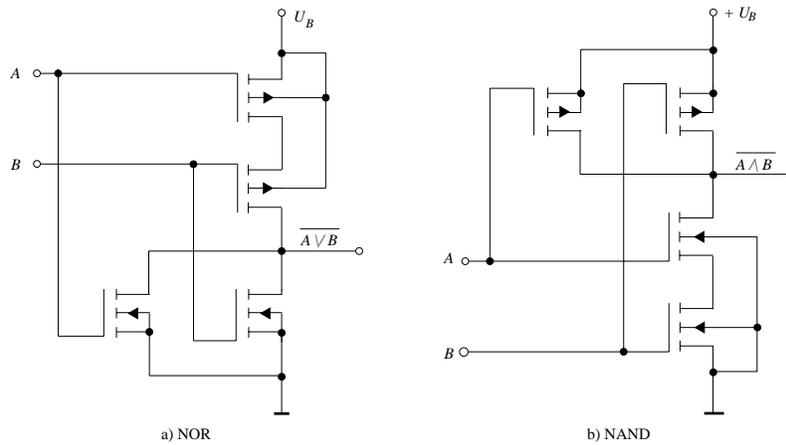


Abb. 3.24. CMOS Verknüpfungsglieder

Neben den CMOS *Verknüpfungsgliedern* gibt es einen CMOS Schaltkreis besonderer Art, das *Transmissiongate*. Bei diesem Schaltkreis zur bidirektionalen Signalübertragung sind ein NMOS-FET und ein PMOS-FET parallel geschaltet (Abb. 3.25).

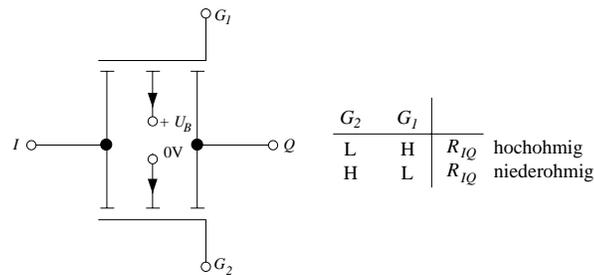


Abb. 3.25. Schaltung und Zuordnungstabelle eines CMOS Transmissiongate

wird durch die Zuordnungsvorschrift f eindeutig ein Funktionswert

$$f(x_1, x_2, \dots, x_n) \in \{0, 1\} \text{ zugeordnet.}$$

Man schreibt

$$y = f(x_1, x_2, \dots, x_n)$$

und sagt

y ist eine Funktion von x_1, x_2, \dots, x_n .

Der Ausdruck $y = f(x_1, x_2, \dots, x_n)$ wird Schaltfunktion genannt.

Verknüpfung	UND	ODER	NICHT																																				
Darstellung																																							
Wertetabelle	<table border="1"> <thead> <tr> <th>x_2</th> <th>x_1</th> <th>$f(x_1, x_2)$</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	x_2	x_1	$f(x_1, x_2)$	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1"> <thead> <tr> <th>x_2</th> <th>x_1</th> <th>$f(x_1, x_2)$</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	x_2	x_1	$f(x_1, x_2)$	0	0	0	0	1	1	1	0	1	1	1	1	<table border="1"> <thead> <tr> <th>x</th> <th>$f(x)$</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	x	$f(x)$	0	1	1	0
x_2	x_1	$f(x_1, x_2)$																																					
0	0	0																																					
0	1	0																																					
1	0	0																																					
1	1	1																																					
x_2	x_1	$f(x_1, x_2)$																																					
0	0	0																																					
0	1	1																																					
1	0	1																																					
1	1	1																																					
x	$f(x)$																																						
0	1																																						
1	0																																						
Schaltzeichen																																							
Funktion	$y = f(x_1, x_2)$ $= x_1 \wedge x_2$	$y = f(x_1, x_2)$ $= x_1 \vee x_2$	$y = f(x) = \bar{x}$																																				

Abb. 4.3. Grundverknüpfungen und ihre Darstellung

Wird eine Schaltfunktion mit Hilfe eines Operationssymbols ($\wedge, \vee, \bar{}$) dargestellt, dann heißt diese Schaltfunktion eine *Verknüpfung* (DIN 44300/87).

Mit diesen Operationssymbolen werden drei *Grundverknüpfungen* gebildet.

Es gibt für jede Verknüpfung drei gleichwertige Darstellungen (Abb. 4.3):

Wertetabelle, *Schaltzeichen* oder die *Angabe der Funktion*.

Weil mit n Eingangsvariablen 2^n Wertekombinationen gebildet werden können und die Ausgangsvariable zwei Werte 0, 1 annehmen kann, deshalb gibt es zu n Eingangsvariablen insgesamt 2^{2^n} Ausgangsfunktionen. Für $y = f(x)$ gibt es vier Funktionen.

x	$f_1(x)$	$f_2(x)$	$f_3(x)$	$f_4(x)$
0	0	0	1	1
1	0	1	0	1

Bei f_1 und f_4 sind die Ausgangswerte unabhängig von den Eingangswerten 0 bzw. 1. Bei f_2 ist der Ausgangswert gleich x , f_3 bildet die Negation von x , also $f_3(x) = \bar{x}$.

Mit zwei Variablen $x_1 \in \{0,1\}$ und $x_2 \in \{0,1\}$ lassen sich insgesamt 16 unterschiedliche Verknüpfungen bilden Tabelle 4.1.

Benennung der Verknüpfung	Funktionswert	Schreibweise mit den Zeichen $\wedge \vee -$	Bemerkung
	$y = f(x_1, x_2)$		
	$x_1 = 0 \ 1 \ 0 \ 1$ $x_2 = 0 \ 0 \ 1 \ 1$		
Null	$y_0 = 0 \ 0 \ 0 \ 0$	0	Null
Konjunktion	$y_1 = 0 \ 0 \ 0 \ 1$	$x_1 \wedge x_2$	UND
Inhibition	$y_2 = 0 \ 0 \ 1 \ 0$	$\bar{x}_1 \wedge x_2$	
Transfer	$y_3 = 0 \ 0 \ 1 \ 1$	x_2	
Inhibition	$y_4 = 0 \ 1 \ 0 \ 0$	$x_1 \wedge \bar{x}_2$	
Transfer	$y_5 = 0 \ 1 \ 0 \ 1$	x_1	
Antivalenz	$y_6 = 0 \ 1 \ 1 \ 0$	$(x_1 \wedge \bar{x}_2) \vee (\bar{x}_1 \wedge x_2)$	Exklusiv-ODER
Dijunktion	$y_7 = 0 \ 1 \ 1 \ 1$	$x_1 \vee x_2$	ODER
NOR-Verknüpfung	$y_8 = 1 \ 0 \ 0 \ 0$	$\bar{x}_1 \vee \bar{x}_2$	NICHT-ODER
Äquivalenz	$y_9 = 1 \ 0 \ 0 \ 1$	$(x_1 \wedge x_2) \vee (\bar{x}_1 \wedge \bar{x}_2)$	
Komplement	$y_{10} = 1 \ 0 \ 1 \ 0$	\bar{x}_1	
Implikation	$y_{11} = 1 \ 0 \ 1 \ 1$	$\bar{x}_1 \vee x_2$	
Komplement	$y_{12} = 1 \ 1 \ 0 \ 0$	\bar{x}_2	
Implikation	$y_{13} = 1 \ 1 \ 0 \ 1$	$x_1 \vee \bar{x}_2$	
NAND-Verknüpfung	$y_{14} = 1 \ 1 \ 1 \ 0$	$\bar{x}_1 \wedge \bar{x}_2$	NICHT-UND
Eins	$y_{15} = 1 \ 1 \ 1 \ 1$	1	Eins

Tabelle 4.1. Tabelle der möglichen Verknüpfungen mit zwei Variablen

Die wichtigsten Verknüpfungen, die als Digitalschaltungen realisiert sind, sind in Abb. 4.4 dargestellt. Mit den in Abb. 4.4 angegebenen Verknüpfungen werden mindestens zwei oder mehr Variablen miteinander verknüpft. Entsprechend haben die Schaltzeichen zwei oder mehr Eingänge. Die verbale Formulierung der Verknüpfung bedeutet

- UND-Verknüpfung: Die Ausgangsvariable y ist dann 1, wenn alle Eingangsvariablen x_0, x_1, \dots, x_n gleich 1 sind.
- ODER-Verknüpfung: Die Ausgangsvariable y ist dann 1, wenn mindestens eine Eingangsvariable x_0 oder x_1 oder \dots, x_n gleich 1 ist.
- Antivalenz (Exklusiv-ODER, XOR): Die Ausgangsvariable y ist dann 1, wenn *entweder* x_0 *oder* x_1 gleich 1 ist. Werden mehr als zwei Variablen

Die Funktionsgleichungen werden in möglichst “kurzen” Ausdrücken dargestellt: d.h. mit möglichst wenig Variablen und möglichst wenig Verknüpfungen. Die vereinfachte Form einer Schaltfunktion wird *disjunktive Normalform* (DNF) bzw. *konjunktive Normalform* (KNF) genannt.

Es gibt verschiedene Verfahren zur Vereinfachung von Schaltfunktionen. Grundlage aller Verfahren sind folgende zwei Gesetze der Schaltalgebra

$$\begin{aligned}x_1 \vee \bar{x}_1 &= 1 \\x_1 \wedge \bar{x}_1 &= 0\end{aligned}$$

Die wichtigsten Verfahren zur Vereinfachung von Schaltfunktionen basieren auf:

- den Gesetzen der Schaltalgebra
- KV-Diagrammen oder
- der Methode von Quine–McCluskey

Verfahren mit den Gesetzen der Schaltalgebra. In dem Verfahren mit den Gesetzen der Schaltalgebra kann durch Ausklammern von Variablen, Kürzen, Zusammenfassen, Anwendung der De Morganschen Gesetze eine Schaltfunktion vereinfacht werden.

Beispiel:

$$\begin{aligned}y &= (\bar{x}_1 \wedge \bar{x}_2 \wedge \bar{x}_3) \vee (\bar{x}_1 \wedge x_2 \wedge \bar{x}_3) \vee (x_1 \wedge \bar{x}_2 \wedge x_3) \vee (x_1 \wedge x_2 \wedge x_3) \\ &= (\bar{x}_1 \wedge \bar{x}_3) \underbrace{(\bar{x}_2 \vee x_2)}_1 \vee (x_1 \wedge x_3) \underbrace{(\bar{x}_2 \vee x_2)}_1 \\ &= (\bar{x}_1 \wedge \bar{x}_3) \vee (x_1 \wedge x_3)\end{aligned}$$

Verfahren mit KV-Diagrammen. Das Verfahren mit KV-Diagrammen ist ein graphisches Verfahren. Ist in dem KV-Diagramm eine Schaltfunktion in DNF dargestellt, dann werden benachbarte Felder, die mit 1 belegt sind, zusammengefaßt. Die Zusammenfassung wird so vorgenommen, dass sie möglichst viele Einsen einschließt. Dabei dürfen aber nur Blöcke mit zwei, vier, acht usw. Feldern zusammengefaßt werden. Felder der ersten und letzten Zeile aber gleicher Spalte sind benachbart und können in einem Block zusammengefaßt werden; ebenso Felder der ersten und letzten Spalte aber gleicher Zeile. Die vereinfachte Schaltfunktion wird dann aus den Termen der zusammengefaßten Blöcke und der übriggebliebenen Einzelfelder gebildet. Die Terme der zusammengefaßten Blöcke enthalten nur die Variablen, die sich innerhalb eines Blockes nicht ändern.

In Abbildung 4.8 ist die Schaltfunktion in der DNF dargestellt und die mit 1 belegten Felder des KV-Diagramms werden zusammengefaßt.

x_2x_1 x_4x_3	$\bar{x}_2\wedge\bar{x}_1$	$\bar{x}_2\wedge x_1$	$x_2\wedge x_1$	$x_2\wedge\bar{x}_1$
$\bar{x}_4\wedge\bar{x}_3$ 00	<u>3.</u> 1	0	1	<u>3.</u> 1
$\bar{x}_4\wedge x_3$ 01	0	<u>2.</u> 1	1	0
$x_4\wedge x_3$ 11	0	0	<u>1.</u> 1	0
$x_4\wedge\bar{x}_3$ 10	<u>3.</u> 1	0	1	<u>3.</u> 1

Abb. 4.8. Vereinfachung einer Schaltfunktion in DNF

Die vereinfachte Schaltfunktion lautet:

$$y = \underbrace{(x_1 \wedge x_2)}_{\underline{1.}} \vee \underbrace{(x_1 \wedge x_3 \wedge \bar{x}_4)}_{\underline{2.}} \vee \underbrace{(\bar{x}_1 \wedge \bar{x}_3)}_{\underline{3.}}$$

Beispiel:

Ist in dem KV-Diagramm eine Schaltfunktion in der KNF dargestellt, dann werden benachbarte Felder, die mit 0 belegt sind, zusammengefaßt. Die Zusammenfassung erfolgt wie oben erläutert und ist in Abb. 4.9 dargestellt.

x_2x_1 x_4x_3	$x_2\vee x_1$	$x_2\vee\bar{x}_1$	$\bar{x}_2\vee\bar{x}_1$	$\bar{x}_2\vee x_1$
$x_4\vee x_3$ 00	1	<u>2.</u> 0	0	<u>4.</u> 0
$x_4\vee\bar{x}_3$ 01	<u>1.</u> 0	1	1	1
$\bar{x}_4\vee\bar{x}_3$ 11	1	1	<u>3.</u> 0	1
$\bar{x}_4\vee x_3$ 10	1	1	0	<u>4.</u> 0

Abb. 4.9. Vereinfachung einer Schaltfunktion in KNF

Die vereinfachte Schaltfunktion lautet:

$$y = \underbrace{(x_1 \vee x_2 \vee \bar{x}_3 \vee x_4)}_{\underline{1.}} \wedge \underbrace{(\bar{x}_1 \vee x_3 \vee x_4)}_{\underline{2.}} \wedge \underbrace{(\bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_4)}_{\underline{3.}} \wedge \underbrace{(\bar{x}_2 \vee x_3)}_{\underline{4.}}$$

Die Vereinfachung mit KV-Diagrammen eignet sich für Schaltfunktionen mit maximal 6 Schaltvariablen. Sind mehr als 6 Schaltvariablen in der Schaltfunktion enthalten, dann wird dieses Verfahren unübersichtlich. Dies ist wie folgt begründbar: Wenn durch redundante Variablen zusammenhängende Blöcke im KV-Diagramm entstehen sollen, dürfen in eine Koordinatenrichtung höchstens zwei Variablen abgetragen werden. Schaltfunktionen mit 6 Schaltvariablen erfordern ein dreidimensionales KV-Diagramm. Damit hat die optische Vorstellung ihre Grenze erreicht.



Siehe Übungsband
Aufgabe 33:
Vierstufiges Schaltnetz

Quine–McCluskey Verfahren. Das Verfahren nach Quine–McCluskey arbeitet mit Tabellen. Es lassen sich damit Schaltfunktionen mit vielen Variablen vereinfachen. Das Verfahren geht von Schaltfunktionen aus, die in der DNF vorliegen. Die Methode lässt sich leicht in ein Programm übertragen. Für die Schreibweise wird folgendes vereinbart: Die Minterme der Schaltfunktion werden nicht durch die negierten und nichtnegierten Variablen dargestellt, sondern durch ihr *Binäräquivalent*:

- 1 steht für eine nicht negierte Variable
- 0 steht für eine negierte Variable
- steht für eine nicht auftretende Variable

$$\begin{array}{lll} \text{Beispiele: } & x_4 \wedge \bar{x}_3 \wedge x_2 \wedge \bar{x}_1 & \hat{=} 1\ 0\ 1\ 0 \\ & x_4 \wedge \bar{x}_3 \wedge \bar{x}_1 & \hat{=} 1\ 0\ -\ 0 \\ & x_4 \wedge x_2 & \hat{=} 1\ -\ 1\ - \end{array}$$

Das weitere Verfahren wird anhand eines Beispiels erläutert. Eine Schaltfunktion $f(x_4, x_3, x_2, x_1)$ sei durch ihre Funktionstabelle gegeben (Tabelle 4.5).

Die Reihenfolge der Funktionswerte wird so angeordnet, dass die Binäräquivalente der Terme aufsteigenden Dualzahlen entsprechen. Zur weiteren Vereinfachung der Schreibweise, wird die Reihenfolge der Terme durch Dezimalzahlen als Indizes der Minterme dargestellt.

Im *ersten Schritt* werden die Minterme nach gewichteten Gruppen in eine weitere Tabelle übertragen. Das Gewicht einer Gruppe wird durch die Anzahl der Einsen in den Binäräquivalenten bestimmt (Gruppe 0: keine 1, Gruppe

Dez	x_4	x_3	x_2	x_1	$f(x_4, x_3, x_2, x_1)$
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

Tabelle 4.5. Funktionstabelle einer Schaltfunktion, zur Veranschaulichung des Quine–McCluskey Verfahrens

1: eine 1, usw). Im *zweiten Schritt* werden die Minterme von benachbarten Gruppen zu einem um eine Variable kürzeren Term zusammengefaßt entsprechend dem Absorptionsgesetz:

$$(x_2 \wedge x_1) \vee (x_2 \wedge \bar{x}_1) = x_2$$

Zwei Terme sind zusammenfaßbar, wenn sie sich nur in einer Stelle um 0 und 1 unterscheiden.

Dies wird im Binäräquivalent durch '–' gekennzeichnet. Man beginnt mit dem ersten Minterm einer Gruppe und versucht ihn mit allen Mintermen der nächsten Gruppe zu verschmelzen. Verschmolzen werden können alle Minterme, die sich nur durch den Wert einer Variablen unterscheiden. Dabei können die Minterme mehrmals verwendet werden. Alle Minterme, die so mit einem anderen Minterm verschmolzen wurden, werden gekennzeichnet (\surd). Die neu entstandenen Terme werden wieder nach Gruppen geordnet und in eine Tabelle eingetragen. An den Dezimalziffern, die in der ersten Spalte der Tabelle stehen, ist erkennbar, aus welchen Mintermen der neue Term gebildet wurde. Somit lauten die Tabellen des ersten und zweiten Schrittes:

Dez	x_4	x_3	x_2	x_1		Gruppe	Dez	x_4	x_3	x_2	x_1		Gruppe
0	0	0	0	0	✓	0	0,2	0	0	-	0	✓	0
2	0	0	1	0	✓	1	0,4	0	-	0	0	✓	1
4	0	1	0	0	✓		2,6	0	-	1	0	✓	
5	0	1	0	1	✓	2	2,10	-	0	1	0		2
6	0	1	1	0	✓		4,5	0	1	0	-	✓	
10	1	0	1	0	✓		4,6	0	1	-	0	✓	
7	0	1	1	1	✓	3	5,7	0	1	-	1	✓	2
11	1	0	1	1	✓		6,7	0	1	1	-	✓	
							10,11	1	0	1	-		

Der zweite Schritt wird solange wiederholt, bis keine Verschmelzung mehr durchgeführt werden kann. Die verschmolzenen Terme werden gekennzeichnet. Terme die nicht gekennzeichnet sind, werden *Primimplikanten* genannt. Als letzte Tabelle folgt für das Beispiel:

Dez	x_4	x_3	x_2	x_1		Gruppe
0,2 ; 4,6	0	-	-	0		0
0,4 ; 2,6	0	-	-	0		
4,5 ; 6,7	0	1	-	-		1
4,6 ; 5,7	0	1	-	-		

Entstehen bei der Bildung einer Tabelle in einer Gruppe mehrfach gleiche Terme, so werden diese bis auf einen gestrichen. Die Schaltfunktion setzt sich jetzt aus den Primimplikanten zusammen, die nicht gekennzeichnet sind. Für das Beispiel folgt:

Indexdarstellung:

$$f(x_4, x_3, x_2, x_1) = (2, 10) \vee (10, 11) \vee (0, 2, 4, 6) \vee (4, 5, 6, 7)$$

Boolesche Form:

$$f(x_4, x_3, x_2, x_1) = (\overline{x_3} \wedge x_2 \wedge \overline{x_1}) \vee (x_4 \wedge \overline{x_3} \wedge x_2) \vee (\overline{x_4} \wedge \overline{x_1}) \vee (\overline{x_4} \wedge x_3)$$

Diese Schaltfunktion lässt sich weiter vereinfachen, wiederum mit Tabellen: *Primtermtabellen* oder *Primimplikantentafeln*. Jeder Primimplikant ist aus bestimmten Mintermen entstanden (dargestellt durch die Dezimalziffern als Indizes der Minterme). Andererseits sind verschiedene Minterme in mehreren Primimplikanten enthalten. Ziel der Vereinfachung ist es, diejenigen Primimplikanten zu finden, die alle Minterme überdecken. Diese werden *wesentliche Primimplikanten* genannt.

Die Primimplikantentafel ist so aufgebaut, dass über den Spalten der Tafel die Indizes der Minterme stehen und an den Zeilen die Primimplikanten.

Für jeden Primimplikanten werden alle Minterme markiert, die durch ihn abgedeckt werden. In der Primimplikantentafel wird dies durch ein Kreuz in dem Schnittpunkt der betreffenden Spalte und Zeile dargestellt (Abb. 4.10).

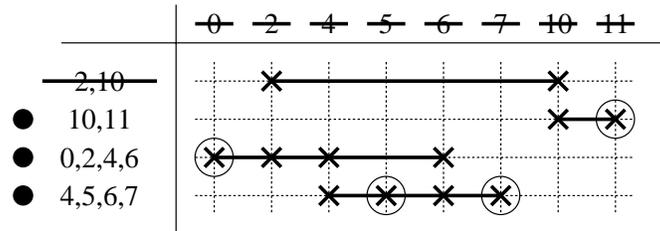


Abb. 4.10. Primimplikantentafel

Jetzt sucht man alle Spalten, in denen nur eine Markierung steht und kennzeichnet sie, in der Tafel durch \bigcirc . Ein Primimplikant in der zu dieser Markierung gehörigen Zeile ist ein wesentlicher Implikant, wird *Kernimplikant* genannt, und muss in der Minimalform erscheinen. Aus den verbleibenden (nicht wesentlichen) Primimplikanten sucht man eine minimale Anzahl von Primimplikanten aus, so dass alle Minterme überdeckt werden, minimale Restüberdeckung. Kernimplikanten und minimale Restüberdeckung sind im Beispiel durch \bullet gekennzeichnet.

Die Disjunktion der Kernimplikanten und der Restüberdeckung ist die Minimalform der Schaltfunktion.

$$f(x_4, x_3, x_2, x_1) = (x_4 \wedge \bar{x}_3 \wedge x_2) \vee (\bar{x}_4 \wedge \bar{x}_1) \vee (\bar{x}_4 \wedge x_3)$$



Siehe Übungsband
Aufgabe 39:
Quine–McCluskey

Vektorfunktion. Der Ausdruck

$$y = f(x_1, x_2, \dots, x_n)$$

stellt *eine* Schaltfunktion dar. Führt man für den Klammerausdruck (x_1, x_2, \dots, x_n) eine Abkürzung X ein, wobei

$$X = (x_1, x_2, \dots, x_n)$$

bedeutet, dann heißt diese Abkürzung *Vektor* X . Die Bestandteile x_i des Vektors werden Komponenten des Vektors X genannt. Eine Schaltfunktion kann dann verkürzt geschrieben werden:

es zweckmäßig diejenigen Eingangsvariablen zu wählen, die in möglichst vielen Produkttermen der Schaltfunktion (DNF) vorkommen.

4.9 Arithmetik-Logik Einheit (ALU)

Die ALU ist das Kernelement eines digitalen Rechensystems (Mikroprozessor). Als Funktion betrachtet ist die ALU eines Rechners ein Schaltnetz, das binäre Variablen miteinander verknüpft. Die wichtigste *arithmetische Verknüpfung*, die in der ALU ausgeführt wird, ist die Addition. Die *logischen* (Booleschen) *Verknüpfungen* sind UND, ODER, NICHT, XOR. Die Schaltnetze zur Addition (Addierglieder) und die Verknüpfungsglieder UND, ODER, NICHT, XOR haben wir in diesem Kapitel beschrieben.

Neben der arithmetischen Verknüpfung Addition ist die *Subtraktion* ebenso wichtig. Die Subtraktion kann durch ein eigenes Schaltnetz realisiert werden oder auf die Addition zurückgeführt werden. Wird die Subtraktion auf die Addition zurückgeführt, dann ist für Addition und Subtraktion nur ein Schaltnetz, z.B. ein Paralleladdierer, erforderlich.

In diesem Abschnitt soll eine *einfache* ALU entwickelt werden, bei der die Subtraktion durch *Zweierkomplementbildung* auf die Addition zurückgeführt wird.

4.9.1 Zahlendarstellung und Zweierkomplement

Für die Zahlendarstellung und Zahlenoperationen mit Schaltnetzen eignen sich Binärcodes, besonders der Dualcode und der BCD-Code.

Ohne Vorzeichen werden im Dualcode positive Zahlen so addiert, wie im Dezimalcode Dezimalzahlen. *Mit Vorzeichen* werden positive und negative Zahlen durch das höchstwertige Bit als Vorzeichen gekennzeichnet. Das höchstwertige Bit ist bei positiven Zahlen die 0, bei negativen Zahlen die 1. Der eigentliche Zahlenwert wird durch die restlichen $n-1$ Bits dargestellt, positive Zahlen im Dualcode, negative Zahlen durch das *Zweierkomplement*. Die Bildung des Zweierkomplements einer Dualzahl erfolgt in zwei Schritten:

1. Bildung des Einerkomplements (Invertierung) z.B. Einerkomplement von $A = 011001$ ist $\bar{A} = 100110$
2. Addition einer 1 zum Einerkomplement

$$\begin{array}{r} \text{Einerkomplement} \quad \bar{A} = 100110 \\ \phantom{\text{Einerkomplement}} \phantom{\bar{A} =} \\ \phantom{\text{Einerkomplement}} \phantom{\bar{A} =} + 1 \end{array}$$

$$\text{Zweierkomplement} \quad \overline{(\bar{A} + 1)} = 100111$$

Addiert man eine n -Bit Dualzahl A und das Zweierkomplement dieser Zahl $(\bar{A} + 1)$, so ist das Ergebnis eine Dualzahl der Form $1.000 \dots 00$, eine $n + 1$ -Bit Zahl, die $(n + 1)$ ste Stelle ist eine 1, die anderen n Stellen sind 0. Streicht man die 1 an der werthöchsten Stelle, d.h. die 1 an der $(n + 1)$ sten Stelle, dann ist das Ergebnis 0.

Daraus folgt:
ohne Übertrag gilt

$$A + (\bar{A} + 1) = 0$$

oder

$$\bar{A} + 1 = -A$$

Das Zweierkomplement $(\bar{A} + 1)$ einer Dualzahl A ist eine Darstellung für $-A$.

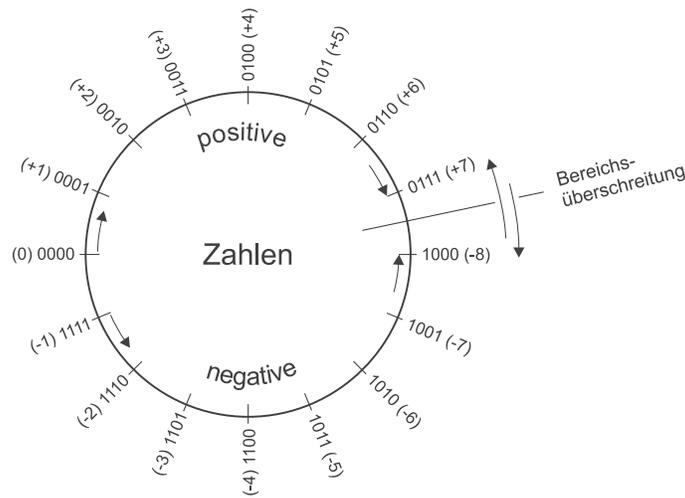


Abb. 4.38. Darstellung positiver und negativer Zahlen

Abbildung 4.38 zeigt die Darstellung positiver und negativer 4-Bit Zahlen. Stehen n -Bit Worte für die Zahlendarstellung zur Verfügung, dann ist der darstellbare Wertebereich

$$-2^{n-1} \text{ bis } +2^{n-1} - 1.$$

Bei arithmetischen Operationen kann das Ergebnis den darstellbaren Wertebereich überschreiten. Das Ergebnis ist dann eine nicht korrekte Zahl, die außerhalb der Bereichsgrenzen liegt, es entsteht ein *Überlauf* oder *overflow*. Wird die Addition von zwei 4-Bit Zahlen A und B allgemein formuliert,

$$\begin{array}{rcccc}
 A & a_3 & a_2 & a_1 & a_0 \\
 B & b_3 & b_2 & b_1 & b_0 \\
 \hline
 & \ddot{U}_4 & \ddot{U}_3 & \ddot{U}_2 & \ddot{U}_1 & \backslash \\
 \hline
 & S_4 & S_3 & S_2 & S_1 & S_0
 \end{array}$$

wobei a_3, b_3 die Vorzeichenbits sind, S_i die Stellensummen und \ddot{U}_i die Stellenüberträge, dann entsteht ein overflow wenn:

- die Vorzeichenbits der Summanden gleich sind $a_3 \equiv b_3$
und
- die beiden höchstwertigen Bits der Überträge ungleich sind $\ddot{U}_4 \neq \ddot{U}_3$

Ist für die Darstellung von positiven und negativen Zahlen eine feste Bitanzahl vorgegeben, dann kann die Subtraktion einer Zahl durch die Addition des Zweierkomplements dieser Zahl ausgeführt werden.

4.9.2 Addierer/Subtrahierer

Soll, wie oben gesagt, die Subtraktion mit einem Paralleladdierer durchgeführt werden, dann müssen wir durch ein zusätzliches Schaltnetz die Funktionsfähigkeit des Paralleladdierers erweitern. Das zu entwerfende Schaltnetz muß also die Addition

$$\begin{array}{l}
 B + A \quad \text{und} \quad B + (\overline{A} + 1) \\
 \text{und} \quad A + B \quad \text{und} \quad A + (\overline{B} + 1)
 \end{array}$$

ermöglichen.

Im ersten Schritt wird ein Schaltnetz entworfen, das eine Schaltfunktion $y = f(A, S_0, S_1)$ realisiert. Eingangsvariablen sind die Zahl A und die Steuereingänge S_0, S_1 ; Ausgangsvariable ist y mit den Funktionswerten $A, \overline{A}, 0, 1$. Abb. 4.39 zeigt das Blockschaltbild und die Funktionstabelle des zu entwerfenden Schaltnetzes.

Die Darstellung der Funktionstabelle in einem KV-Diagramm liefert die Funktionsgleichung in DNF.

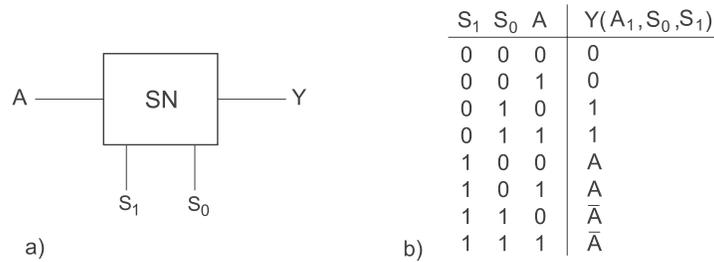


Abb. 4.39. Schaltnetz zur Aufgabenstellung; a: Blockschaltbild, b: Funktionstabelle

$$\begin{aligned}
 y &= S_0 \bar{A} \vee \bar{S}_1 S_0 \vee S_1 \bar{S}_0 A \\
 y &= S_0 (\bar{A} \vee \bar{S}_1) \vee \bar{S}_0 S_1 A \\
 y &= S_0 (\overline{A S_1}) \vee \bar{S}_0 (S_1 A) \\
 y &= S_0 \neq A S_1
 \end{aligned}$$

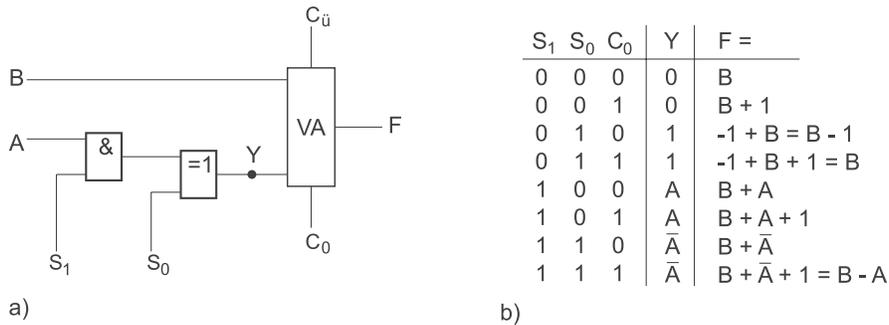


Abb. 4.40. 1-Bit Addierer/Subtrahierer. a: Schaltnetz, b: Funktionstabelle

Die Übertragung der Funktionsgleichung $y = S_0 \neq A S_1$ in ein Schaltnetz und Verbindung mit einem VA, wobei die Variable B direkt an den VA angelegt ist, ist in Abb. 4.40 dargestellt.

Wird die Gleichung $y = S_0 \neq A S_1$ auch auf die Variable B angewandt und wenn A und B jeweils eine 4-Bit-Zahl ist, dann erhalten wir ein Schaltnetz, mit dem Additionen und Subtraktionen durchgeführt werden können, ein Addier/Subtrahier-Schaltnetz nach Abb. 4.41.

In Abbildung 4.42 ist das Addier/Subtrahier-Schaltnetz zu einem Blockschaltbild zusammengefasst. In Tabelle 4.12 sind alle Verknüpfungen enthalten, die mit dem Addier/Subtrahier-Schaltnetz ausgeführt werden können.

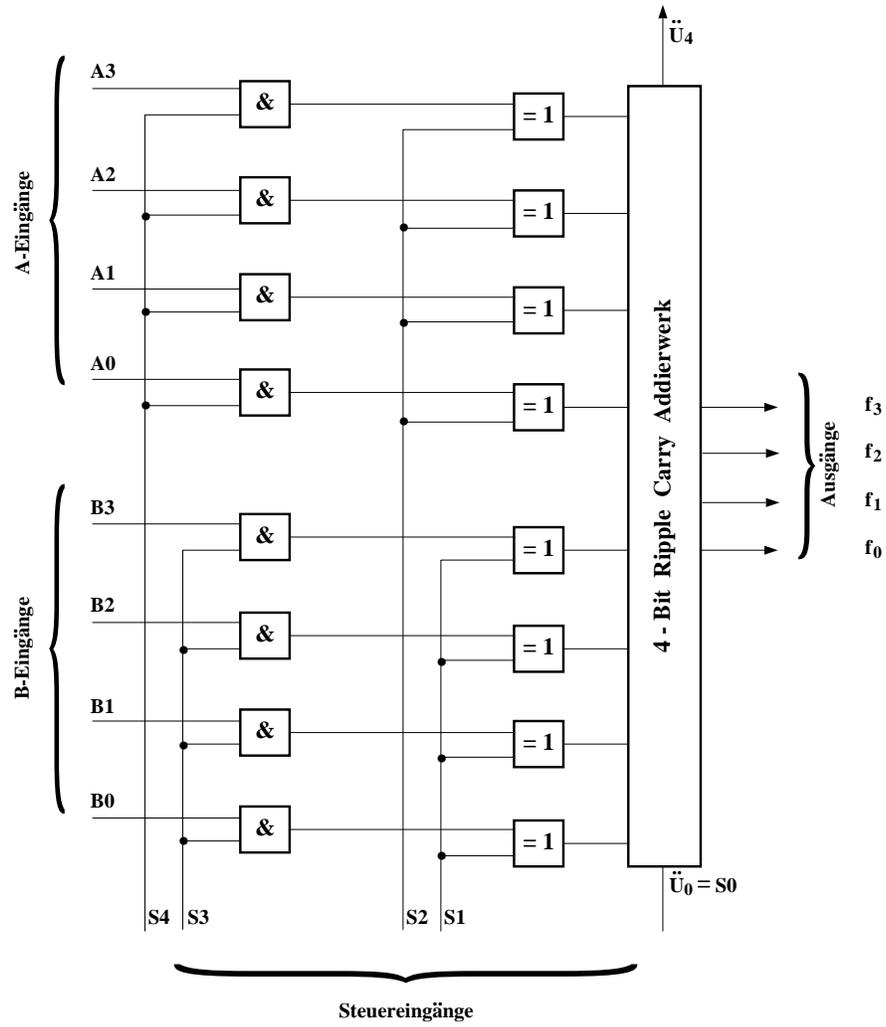


Abb. 4.41. Addier/Subtrahier-Schaltnetz

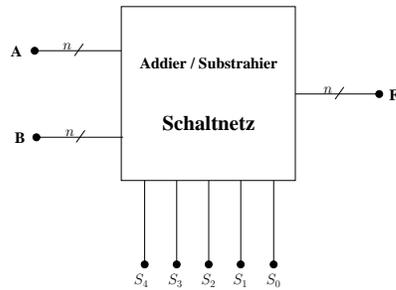


Abb. 4.42. Blockschaltbild zum Addier/Subtrahier-Schaltnetz

S ₄	S ₃	S ₂	S ₁	C ₀ = 0	C ₀ = 1
				F	F
0	0	0	0	0	1
0	0	0	1	-1	0
0	0	1	0	-1	0
0	0	1	1	-2	-1
0	1	0	0	B	B + 1
0	1	0	1	\bar{B}	$\bar{B} + 1 = -B$
0	1	1	0	B - 1	B
0	1	1	0	-B - 2	-B - 1 = \bar{B}
1	0	0	0	A	A + 1
1	0	0	1	A - 1	A
1	0	1	0	\bar{A}	$\bar{A} + 1 = -A$
1	0	1	1	-A - 2	\bar{A}
1	1	0	0	A + B	A + B + 1
1	1	0	1	A - B - 1	A - B
1	1	1	0	B - A - 1	B - A
1	1	1	1	-A - B - 2	-A - B - 1

Tabelle 4.12. Funktionstabelle des Addier/Subtrahier-Schaltnetzes

In der ALU werden neben den arithmetischen Verknüpfungen Addition und Subtraktion auch die logischen Verknüpfungen UND, ODER, NICHT ausgeführt. Das Addier/Subtrahier-Schaltnetz nach Abb. 4.41 muss deshalb um Schaltnetze erweitert werden, die die UND, ODER, NICHT Verknüpfungen ausführen. In Abb. 4.43 ist dieses erweiterte Schaltnetz dargestellt.

Es enthält das Schaltnetz aus Abb. 4.41, die Schaltnetze für die UND-, ODER-, NICHT-Verknüpfung und einen Multiplexer. Die Komponenten $A_0 \cdots A_n$ der Variablen A und die Komponenten $B_0 \cdots B_n$ der Variablen B liegen gleichzeitig an dem Addier/Subtrahier-Schaltnetz, dem UND-, dem ODER- und dem NICHT-Schaltnetz an. In dem UND-Schaltnetz werden die Komponenten $A_0 \wedge B_0, \dots, A_n \wedge B_n$ verknüpft. Entsprechend werden alle Ver-

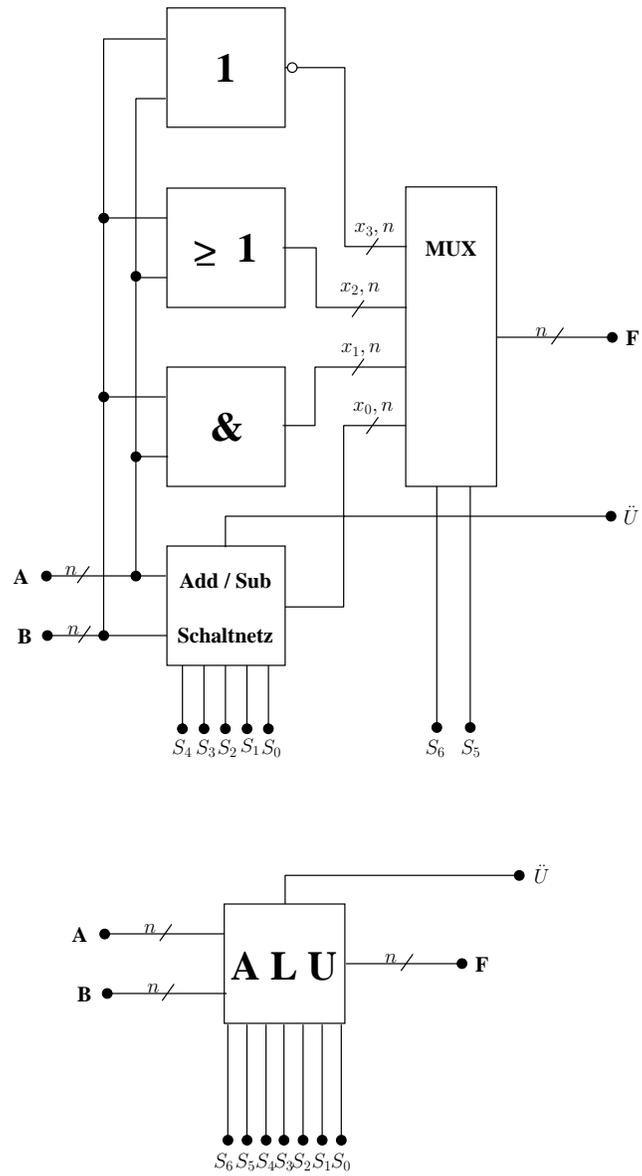


Abb. 4.43. Schaltbild der Arithmetik-Logik Einheit (ALU) mit Blockschaltbild

knüpfungen ausgeführt. Der Multiplexer wählt über die Steuereingänge S_5, S_6 die Ausgänge von *einem* Verknüpfungsschaltnetz aus und schaltet sie auf den Ausgang F durch. Mit dem Schaltnetz nach Abb. 4.43 können sowohl arithmetische als auch logische (Boolesche) Verknüpfungen durchgeführt werden.

4.10 Schaltnetze mit programmierbaren Bausteinen

Einfache Schaltnetze, wie sie in den Beispielen besprochen wurden, lassen sich mit diskreten Verknüpfungsgliedern realisieren. Für komplexe Schaltnetze gibt es Bausteine, die hochintegrierte Verknüpfungsglieder enthalten, und die vom *Anwender* zu einem Schaltnetz verbunden, d.h. *programmiert* werden. Solche Bausteine werden *programmierbare Logikbausteine* genannt. Es sind PROMs, EPROMs, PALs und PLAs.

Wie zu Beginn dieses Kapitels dargestellt, ist ein Schaltnetz die Realisierung einer Schaltfunktion oder Vektorfunktion. Sind die Schaltfunktionen in einer Normalform gegeben, dann liefert die Realisierung ein *dreistufiges* Schaltnetz. In einem Schaltnetz, das eine DNF realisiert – und jedes Schaltnetz kann in der DNF dargestellt werden – werden die Minterme (Produktterme) disjunktiv verknüpft. Das Schaltnetz enthält in der ersten Stufe Inverter, in der zweiten UND–Verknüpfungen, in der dritten Stufe ODER–Verknüpfungen. Abb. 4.44a zeigt den Strukturaufbau eines Schaltnetzes in der DNF. Der Eingangsvektor X hat hier die Komponenten X_0, X_1, X_2 , sie liegen invertiert und nichtinvertiert vor. In den UND–Gliedern werden die Produktterme p_0, \dots, p_7 gebildet. Die Produktterme werden in den ODER–Gliedern disjunktiv verknüpft und bilden die Ausgangsvariablen. Die Kreuzungspunkte der Eingangsvariablen mit den Eingängen der UND–Glieder wird *UND–Matrix*, die Kreuzungspunkte der Produktterme mit den Eingängen der ODER–Glieder *ODER–Matrix* genannt. In den programmierbaren Logikbausteinen werden die für das Schaltnetz erforderlichen Kreuzungspunkte der UND–Matrix und/oder der ODER–Matrix programmiert.

Abbildung 4.44b zeigt ein PLA mit Verknüpfungsgliedern, Abb. 4.44c ist eine vereinfachte Darstellung von Abb. 4.44b.

Hier sind die Eingangsleitungen der UND– und ODER–Glieder nicht mehr dargestellt. Jeder Punkt in der UND–Matrix bedeutet, dass die entsprechende Eingangsvariable einen Beitrag zu der mit p gekennzeichneten UND–Verknüpfung liefert. Jeder Punkt der ODER–Matrix bedeutet, dass dieser Produktterm einen Beitrag zur ODER–Verknüpfung liefert. Nach der Programmierbarkeit der UND–Matrix und/oder der ODER–Matrix unterscheidet man vier Gruppen von programmierbaren Logikbausteinen, dargestellt in der folgenden Übersicht:

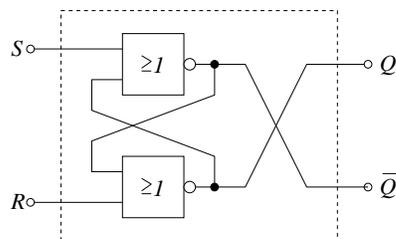


Abb. 5.6. RS-Flipflop aus NOR-Schaltgliedern

Liegen die komplementären Signale $E_1 = 1$ und $E_2 = 0$ an, dann folgt der Ausgangszustand $A_1 = 0$ und $A_2 = 1$, der ebenfalls komplementär ist. Analog folgt für $E_1 = 0$ und $E_2 = 1$ der Ausgangszustand $A_1 = 1$ und $A_2 = 0$. Gehen die Eingangssignale von $E_1 = 1$ und $E_2 = 0$ oder von $E_1 = 0$ und $E_2 = 1$ auf $E_1 = E_2 = 0$ über, dann bleibt der vorher eingenommene Ausgangszustand erhalten. Darauf beruht die Anwendung dieses Flipflops als Speicher. Sind die Eingangssignale $E_1 = E_2 = 1$, dann werden beide Ausgänge A_1 und A_2 gleichzeitig 0. Die Ausgänge sind dann nicht komplementär und wenn der Eingangszustand von $E_1 = E_2 = 1$ auf $E_1 = E_2 = 0$ übergeht, nimmt die Schaltung einen Zustand ein, der nicht vorausgesagt werden kann. Dieser Zustand ist instabil und daher unzulässig. Die Ausgangszustände in Abhängigkeit von den Signalen am Eingang sind in der Zustandstabelle nach Tabelle 5.2 zusammengefaßt.

E_1	E_2	A_1	A_2
0	0	(wie vorher) speichern	
0	1	1	0
1	0	0	1
1	1	(0 0) unzulässig	

Tabelle 5.2. Zustandstabelle eines Flipflop aus NOR-Schaltgliedern

Wird das Verhalten eines Kippgliedes aus NOR-Schaltgliedern dem Schaltzeichen nach (Abb. 5.1) und dessen Beschreibung nach DIN 40700/99 angepaßt, dann ergibt sich das Schaltbild nach Abb. 5.6 und die Zustandstabelle gemäß Tabelle 5.3.

5.3.2 Kippglied aus NAND-Schaltgliedern

Das Kippglied aus NAND-Schaltgliedern ist analog aufgebaut wie das Kippglied aus NOR-Schaltgliedern (Abb. 5.7).

Die Funktion ergibt sich aus der statischen Rückkopplung. Um die Ausgangszustände in Abhängigkeit von den Signalen am Eingang anzugeben, wird wieder die Wertetabelle des NAND-Gliedes zu Hilfe genommen.

S	R	Q	\bar{Q}
0	0	(wie vorher) speichern	
0	1	0	1
1	0	1	0
1	1	(0 0) unzulässig	

Tabelle 5.3. Zustandstabelle eines RS-Flipflop aus NOR-Schaltgliedern

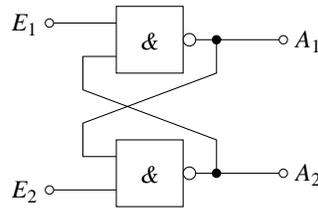


Abb. 5.7. Flipflop aus NAND-Schaltgliedern

Aus der Wertetabelle folgt: Liegt an *einem* Eingang eines NAND-Schaltgliedes eine 0, dann führt der Ausgang *zwingend* eine 1. Damit lassen sich wiederum die Ausgangszustände des Flipflops in Abhängigkeit von den Signalen an den Eingängen E_1 und E_2 angeben (Tabelle 5.4).

E_1	E_2	A_1	A_2
0	0	(1 1) unzulässig	
0	1	1	0
1	0	0	1
1	1	(wie vorher) speichern	

Tabelle 5.4. Zustandstabelle eines Flipflop aus NAND-Schaltgliedern

Liegen die komplementären Signale $E_1 = 1$ und $E_2 = 0$ an, dann folgt der komplementäre Ausgangszustand $A_1 = 0$ und $A_2 = 1$. Analog folgt für $E_1 = 0$ und $E_2 = 1$ der Ausgangszustand $A_1 = 1$ und $A_2 = 0$. Gehen die Eingangssignale von $E_1 = 0, E_2 = 1$ oder $E_1 = 1, E_2 = 0$ auf $E_1 = E_2 = 1$ über, dann bleibt der vorher eingenommene Ausgangszustand erhalten. Sind die Eingangssignale $E_1 = E_2 = 0$, dann werden beide Ausgänge A_1 und A_2 gleichzeitig 1. Die Ausgänge sind dann nicht mehr komplementär. Wenn die Eingangssignale von $E_1 = E_2 = 0$ auf $E_1 = E_2 = 1$ übergehen, nimmt die Schaltung einen Zustand ein, der nicht vorausgesagt werden kann. Dieser Zustand ist instabil und deshalb unzulässig.

Wird das Verhalten des Kippgliedes aus NAND-Schaltgliedern dem Schaltzeichen aus (Abb. 5.4) und dessen Beschreibung nach DIN angepaßt, dann ergibt sich das Schaltbild aus Abb. 5.8 und die Zustandstabelle nach Tabelle 5.5.

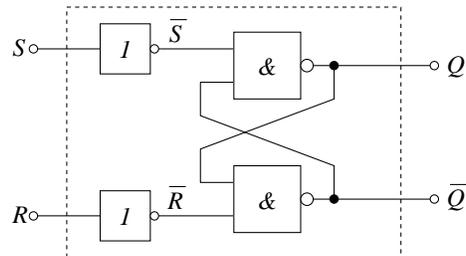


Abb. 5.8. RS-Flipflop aus NAND-Schaltgliedern

S	R	\bar{S}	\bar{R}	Q	\bar{Q}
0	0	1	1	(wie vorher)	speichern
0	1	1	0	0	1
1	0	0	1	1	0
1	1	0	0	(1 1)	unzulässig

Tabelle 5.5. Zustandstabelle eines RS-Flipflop aus NAND-Schaltgliedern

Aus dem Schaltbild und der Funktionstabelle folgt: Das RS-Kippglied aus NAND-Schaltgliedern wird mit $\bar{S} = 0$ gesetzt und mit $\bar{R} = 0$ zurückgesetzt. Steuereingänge mit diesem Verhalten werden als *activ low*-Eingänge bezeichnet.

Die Funktionsbeschreibung des RS-Kippgliedes nach der DIN-Formulierung und obiger Darstellung zeigt, dass der Ausgangszustand sich zeitversetzt nach der Signaländerung am Eingang einstellt. Diese Zeitabhängigkeit des Ausgangszustandes vom Eingangszustand liegt im Speicherverhalten des bistabilen Kippgliedes begründet. Der durch eine auslösende Ansteuerung erzielte Ausgangszustand bleibt auch dann erhalten, wenn die Ansteuerung wieder wegfällt; ausgenommen davon ist der unzulässige Zustand. Dieses Verhalten wird in einer Zustandsfolgetabelle dargestellt. Dabei bedeutet Q_n/\bar{Q}_n den Zustand vor der Signaleingabe und Q_{n+1}/\bar{Q}_{n+1} den Zustand nach der Signaleingabe an R und S .

Der Ausgangszustand Q_{n+1}/\bar{Q}_{n+1} zum Zeitpunkt nach der Signaleingabe an R und S , ist abhängig vom Zustand Q_n zum Zeitpunkt vor der Signaleingabe

6. Schaltwerke

Schaltwerke sind wesentliche Funktionseinheiten eines Computers. Beispiele sind das Rechen- und das Leitwerk eines von NEUMANN-Rechners.

Synchrone Schaltwerke – nur solche sollen in diesem Kapitel beschrieben werden – sind aus einem *Schaltnetz* und *Speichergliedern* aufgebaut. Ein Schaltnetz ist dadurch charakterisiert, dass der Wert der Ausgangsvariablen zu irgend einem Zeitpunkt nur vom Wert der Eingangsvariablen zum gleichen Zeitpunkt abhängt. Charakteristisch für ein *Schaltwerk* ist die *funktionelle Bedeutung der Zeit*. Es ist der Zeitpunkt wichtig, in dem das Schaltwerk betrachtet wird. Diese Zeitpunkte werden durch ein Taktsignal vorgegeben. Speicherglieder können taktabhängig einen stabilen Zustand einnehmen und ihn speichern. Der in einem bestimmten Zeitpunkt gespeicherte Zustand der Speicherglieder wird *innerer Zustand* des Schaltwerkes genannt.

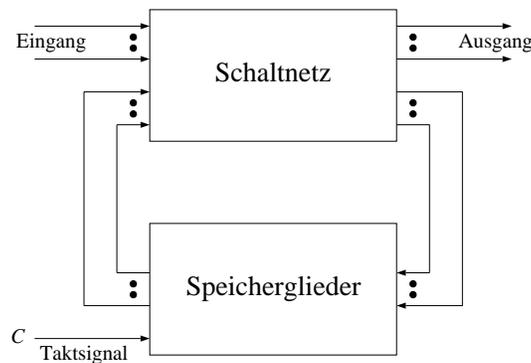


Abb. 6.1. Prinzipieller Aufbau eines Synchron-Schaltwerkes

Wenn der Übergang von einem stabilen Zustand in einen stabilen Folgezustand synchron mit dem Taktsignal erfolgt, spricht man von einem *synchronen* Schaltwerk. Daraus folgt der prinzipielle Aufbau eines solchen Schaltwerkes, das aus Taktsignal, Schaltnetz und Speichergliedern, wie in Abb. 6.1

dargestellt, besteht. Alle Speicherglieder werden durch das gleiche Taktsignal angesteuert.

In der DIN-Norm (40300/89) wird ein *Schaltwerk* folgendermaßen definiert:

Eine Funktionseinheit zum Verarbeiten von Schaltvariablen, wobei der Wert am Ausgang zu einem bestimmten Zeitpunkt abhängt von den Werten am Eingang zu diesem und endlich vielen vorangegangenen Zeitpunkten.

Man kann also auch sagen: Der Zustand am Ausgang zu einem bestimmten Zeitpunkt hängt ab vom inneren Zustand und dem Wert am Eingang.

6.1 Automaten

Im Allgemeinen bezeichnet ein *Automat* eine Modellmaschine, die ein System beschreibt. Ein Automat reagiert auf eine Eingabe und produziert eine Ausgabe, die von der Eingabe und vom momentanen Zustand des Systems abhängt.

Ein Automat wird *endlicher Automat* genannt, wenn die Menge der möglichen Eingabezeichen (das Eingabealphabet), die Menge der möglichen Ausgabezeichen (das Ausgabealphabet) und die Zustandsmenge endlich sind. Formal kann ein endlicher Automat M beschrieben werden durch:

$$\begin{aligned}
 X &= x_1, x_2, \dots, x_n && \text{das Eingabealphabet} \\
 Y &= y_1, y_2, \dots, y_m && \text{das Ausgabealphabet} \\
 Z &= z_1, z_2, \dots, z_m && \text{die Zustandsmenge} \\
 z_0 &\in Z && \text{der Anfangszustand} \\
 F &\subseteq Z && \text{die Menge der Endzustände} \\
 g &: (x_i, z_j) \rightarrow z_k && \text{die Übergangsfunktion} \\
 f &: (x_i, z_j) \rightarrow y_r && \text{die Ausgangsfunktion}
 \end{aligned}$$

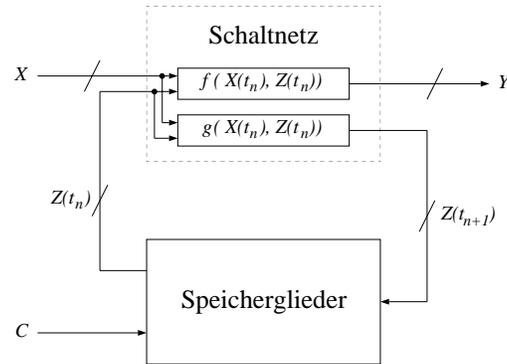
Es gilt also:

$$M = (X, Z, Y, z_0, F, f, g)$$

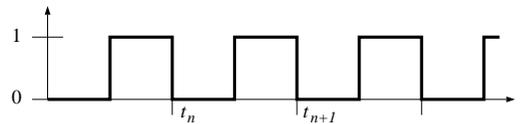
Typische Beispiele für endliche Automaten sind Schaltwerke, und es gilt: jeder endliche Automat lässt sich in ein Schaltwerk umsetzen.

Allen Schaltwerken gemeinsam ist die Rückkopplung Speicherglieder \rightarrow Schaltnetz \rightarrow Speicherglieder. Der Ausgang der Speicherglieder wirkt auf das Schaltnetz und ein Teil-Ausgang des Schaltnetzes wirkt auf die Speicherglieder. Dadurch entsteht ein Wirkgefüge mit Kreisstruktur. Der Eingang des

Schaltwerkes heißt Eingangsvektor X , der Ausgang entsprechend Ausgangsvektor Y . Die Rückkopplung Speicherglieder \rightarrow Schaltnetz wird als Zustandsvektor $Z(t_n)$ bezeichnet. Die Rückkopplung Schaltnetz \rightarrow Speicherglieder wird durch die Schaltfunktion $g(X, Z(t_n))$ gebildet. Der Ausgangsvektor Y wird im Schaltnetz durch die Schaltfunktion $f(X, Z(t_n))$ gebildet. Daraus ergibt sich der Aufbau eines Mealy-Automaten nach Abb. 6.2.



a) Struktureller Aufbau



b) Taktsignal

Abb. 6.2. Struktur eines Mealy-Automaten

Durch das Taktsignal wird in äquidistanten Zeitpunkten das Wirkgefüge der Kreisstruktur unterbrochen, angehalten (gespeichert) und der zu diesem Zeitpunkt vorhandene innere Zustand *gelesen*.

Im Taktintervall t_n werden die Schaltfunktionen $f(X(t_n), Z(t_n))$ und $g(X(t_n), Z(t_n))$ gebildet. Der Wert der Schaltfunktion f steht als Ausgangsvektor $Y = f(X(t_n), Z(t_n))$ zur Weiterverarbeitung zur Verfügung. Der Wert der Schaltfunktion g wird erst in dem auf t_n folgenden Zeitintervall t_{n+1} wirksam und heißt deshalb *Folgezustandsvektor* $Z(t_{n+1})$. Die Funktion $g(X(t_n), Z(t_n))$ wird Übergangsfunktion genannt und es gilt: $Z(t_{n+1}) = g(X(t_n), Z(t_n))$.

Beim Übergang vom Zeitintervall $t_n \rightarrow t_{n+1}$, in Abb. 6.2 mit der fallenden Taktflanke, wird der Folgezustandsvektor zum neuen Zustandsvektor:

$$Z(t_n) := Z(t_{n+1})$$

Der Mealy–Automat wird durch die Schaltfunktionen

$$Y(t_n) = f(X(t_n), Z(t_n)) \quad \text{Ausgangsfunktion} \quad (6.1)$$

$$Z(t_{n+1}) = g(X(t_n), Z(t_n)) \quad \text{Übergangsfunktion} \quad (6.2)$$

und die Zuweisung

$$Z(t_n) := Z(t_{n+1}) \quad (6.3)$$

bestimmt. Der zeitliche Ablauf dieser Zuweisung soll im Wirkgefüge des Schaltwerkes nach Abb. 6.2 beschrieben werden:

Während der *Taktpause* ($C = 0$) des Zeitintervalles t_n werden die Schaltfunktionen $f(X(t_n), Z(t_n))$ und $g(X(t_n), Z(t_n))$ gebildet. Die Taktpause muss größer sein als die Signallaufzeiten durch das Schaltnetz g . Dann sind alle *Hazards* im Schaltnetz abgelaufen und der Folgezustandsvektor $Z(t_{n+1})$ ist stabil, wenn mit der steigenden Taktflanke, dem Abtastzeitpunkt, $Z(t_{n+1})$ in die Master–Flipflops übernommen wird. Hier wird die Notwendigkeit flanken-gesteuerter Speicherglieder nach dem Master–Slave Prinzip deutlich. Bevor mit der steigenden Flanke der Folgezustandsvektor $Z(t_{n+1})$ in die Master–Flipflops übernommen wird, müssen die Slave–Flipflops gesperrt sein. Dann sind die Ausgänge der Speicherglieder zeitlich von den Eingängen abgekoppelt, das Wirkgefüge der Kreisstruktur ist unterbrochen. Nur so ist sichergestellt, dass nicht während des Zeitintervalls t_n eine Komponente $z_i(t_{n+1})$ des Folgezustandsvektors an den Ausgang gelangt, den Zustandsvektor $Z(t_n)$ beeinflusst, und über das Schaltnetz g zur Änderung einer Komponente $z_j(t_{n+1})$ führt. Auch die Flankensteuerung der Master–Flipflops verhindert diese Änderung. Mit der fallenden Flanke des Taktsignales werden zuerst die Eingänge der Speicherglieder zeitlich von den Ausgängen abgekoppelt, die Master–Flipflops werden gesperrt. Dann wird der Folgezustandsvektor $Z(t_{n+1})$ in die Slave–Flipflops übernommen und ist damit zum neuen Zustandsvektor $Z(t_n)$ des Zeitintervalles t_{n+1} geworden.

Im Kapitel *komplexe Schaltwerke* von Band 2 werden die *Rückkopplungsbedingungen* für das fehlerfreie Funktionieren von Schaltwerken ausführlich beschrieben.

Ein Sonderfall des Mealy–Automaten ist der *Moore–Automat*. Bei diesem Automatentyp wird der Ausgangsvektor Y nur von der Zustandsfunktion $f(Z(t_n))$ gebildet, daher auch die Bezeichnung *zustandsorientiertes Schaltwerk*. Der Moore–Automat wird durch die Schaltfunktionen

$$Y(t_n) = f(Z(t_n)) \quad \text{Ausgangsfunktion} \quad (6.4)$$

$$Z(t_{n+1}) = g(X(t_n), Z(t_n)) \quad \text{Übergangsfunktion} \quad (6.5)$$

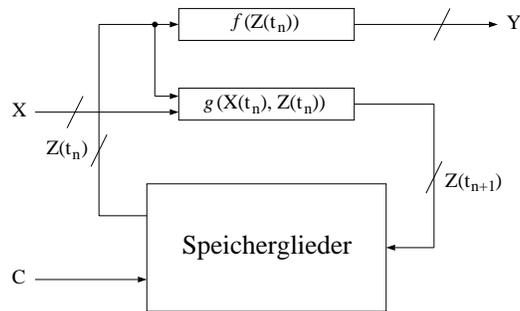


Abb. 6.3. Moore-Automat

bestimmt. Der Eingangsvektor $X(t_n)$ hat im Zeitintervall t_n keinen Einfluss auf den Ausgangsvektor $Y(t_n)$. Der Eingangsvektor $X(t_n)$ wirkt erst um eine Taktperiode verzögert im Zeitintervall t_{n+1} auf den Ausgangsvektor. Zum Zeitintervall t_{n+1} gehört der Ausgangszustand $Y(t_{n+1})$, der durch die Schaltfunktion $f(Z(t_{n+1}))$ gebildet wird.

Daraus folgt mit (6.5)

$$\begin{aligned} Y(t_{n+1}) &= f(Z(t_{n+1})) \\ &= f[g(X(t_n), Z(t_n))] \end{aligned}$$

Für eine vereinfachte Notation des Zustandsvektors, des Folgezustandsvektors und deren Komponenten soll gelten:

$$\begin{aligned} Z(t_n) &=: Z \text{ in Komponenten } z_0, z_1, \dots \\ Z(t_{n+1}) &=: Z^+ \text{ in Komponenten } z_0^+, z_1^+, \dots \end{aligned}$$

In Abbildung 6.3 ist die Struktur eines Moore-Automaten dargestellt. Beispiele für Moore-Automaten sind synchrone Zähler. Dabei ist der Zählzustand der Ausgangszustand und gleichzeitig der innere Zustand des Schaltwerkes. Der Eingangsvektor kann ein Signal zur Umschaltung der Zählrichtung sein.

Schaltwerke, die außer dem Taktsignal kein Eingangssignal haben, nennt man *autonom* (autonome Automaten).

6.2 Funktionelle Beschreibung von Schaltwerken

In Kapitel 4 haben wir die Schaltnetze beschrieben durch eine Funktionstabelle, ein KV-Diagramm bzw. eine Schaltfunktion oder Vektorfunktion. Ebenso

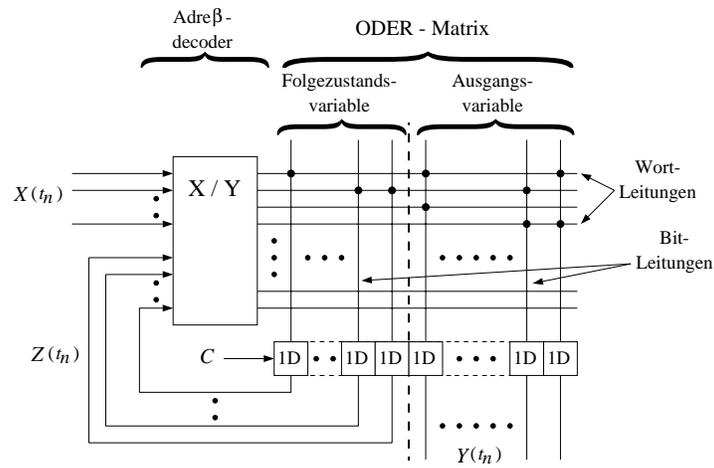


Abb. 6.17. Schaltwerkmodell, bei dem die Ausgangs- und Übergangsfunktion durch ein PROM realisiert wird



**Siehe Übungsband
Aufgabe 71:
Umschaltbarer 3-Bit-Synchronzähler**

Das allgemeine Schaltwerkmodell nach Abb. 6.17, bei dem die Ausgangs- und Übergangsfunktionen durch ein PROM realisiert sind, eignet sich sehr gut für die Beschreibung und die Realisierung der *Mikroprogrammierung* wie sie in jedem Computer auf der untersten Hardwareebene Anwendung findet. Unter Mikroprogrammierung versteht man die Zerlegung von *Makro- oder Maschinenbefehlen*, wie sie in Assemblersprachen vorkommen, in elementare Mikrobefehle, die nur während einer Taktperiode unmittelbar in der Register-ALU-Ebene wirken. Ein Maschinenbefehl, der z.B. eine Addition ausführen soll, wird in eine Folge von elementaren Hardwareoperationen zerlegt. Diese Folge von Mikrobefehlen, auch Mikroprogramm genannt, ist in der UND- und/oder ODER-Matrix des programmierbaren Bausteins abgelegt. Die Begriffe zur Beschreibung der Mikroprogrammierung sind an die allgemeine Schaltwerksbeschreibung angelehnt aber auf die spezielle Funktion bezogen. Tabelle 6.6 zeigt eine Gegenüberstellung.

Aus dem allgemeinen Schaltwerkmodell nach Abb. 6.17 folgt für die spezielle Funktion der Mikroprogrammierung das Mikroprogramm-Steuerwerk nach Abb. 6.18.

Das Mikroprogramm-Steuerwerk ist ein Schaltwerk, das einen Makrobefehl in einer Folge von Einzeloperationen (Mikrobefehlen) ausführt. Der Makrobefehl als Teil des Adreßvektors löst über den Steuervektor die Operation

Allgemeines Schaltwerk	Schaltwerk zur Mikroprogrammierung
<ul style="list-style-type: none"> • Schaltwerk • Adressdecoder • Schaltnetz (UND- und/oder ODER-Matrix) 	<ul style="list-style-type: none"> • Mikroprogrammsteuerwerk • Adressdecoder • Mikroprogrammspeicher • ALU (Operationswerk) • Makrobefehl $X_1(t_n)$ • Statusvektor $X_2(t_n)$
<ul style="list-style-type: none"> • Eingangsvektor $X(t_n)$ 	<ul style="list-style-type: none"> • Adressvektor • Folgeadressenteil $Z(t_{n+1})$ • Steuervektor $Y(t_n)$ • Mikrobefehl • Mikroprogramm
<ul style="list-style-type: none"> • Zustandsvektor $Z(t_n)$ • Folgezustandsvektor $Z(t_{n+1})$ • Ausgangsvektor $Y(t_n)$ • Datenwort auf einer Wortleitung • Inhalt der ODER-Matrix 	

Tabelle 6.6. Gegenüberstellung von Schaltwerksmodellen

im Operationswerk (ALU) aus. Die Adressen für die Mikrooperationen werden aus den Statussignalen der ALU, dem Folgeadressenteil aus dem Mikroprogrammspeicher und dem Makrobefehl selbst gebildet. Der Folgeadressenteil veranlaßt das Weiterzählen in der Mikrobefehlsfolge. Die Statussignale der ALU werden aus dem Ergebnis der Operationen gebildet, z.B. das Ergebnis ist Null, positiv oder negativ.

In Abbildung 6.18 ist die allgemeine Struktur eines Mikroprogramm-Steuerwerks dargestellt. Beim Entwurf realer Mikroprogramm-Steuerwerke werden *Optimierungskriterien* berücksichtigt. Dies können sein:

- optimale Ausnutzung des Mikroprogramm-Speichers
- Arten der Folgeadresserzeugung
- Arten der Steuerwortauswertung
- Arten der Statuswortauswertung

6.6 Vom Addierer zum Prozessor

Der Prozessor ist ein Schaltwerk zur Verarbeitung von Daten. DIN 44300/104 spezifiziert diese Aussage. Sie lautet: Prozessor, eine Funktionseinheit innerhalb eines digitalen Rechensystems, die *Rechenwerk* und *Leitwerk* umfaßt. Dabei bezeichnet Rechenwerk (DIN 44300/102) *eine Funktionseinheit innerhalb eines digitalen Rechensystem, die Rechenoperationen ausführt*. Leitwerk (DIN44300/103); Eine Funktionseinheit innerhalb eines digitalen Rechensystems,

- die die Reihenfolge steuert, in der die Befehle eines Programms ausgeführt werden (Programm: Eine zur Lösung einer Aufgabe vollständige Anweisung zusammen mit allen erforderlichen Vereinbarungen (DIN 44300/40)

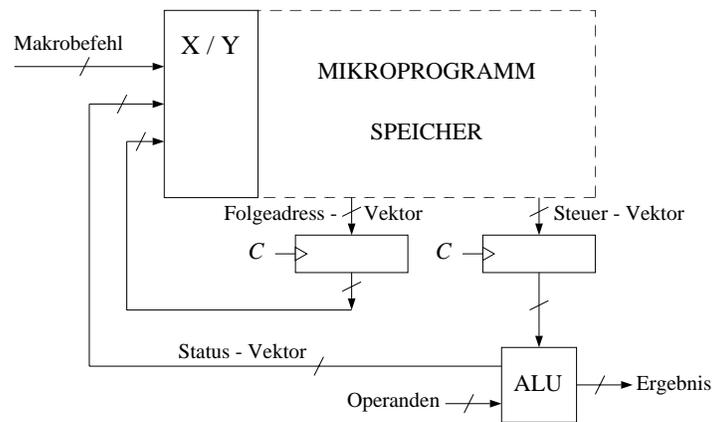


Abb. 6.18. Mikroprogrammsteuerwerk

- die diese Befehle entschlüsselt und dabei gegebenenfalls modifiziert und
- die die für ihre Ausführung erforderlichen digitalen Signale abgibt.

Ausgehend von diesen zwei Grundelementen Rechenwerk und Leitwerk wollen wir in diesem Abschnitt elementare Funktionen eines Prozessors darstellen. Dabei greifen wir auf Bausteine zurück, die bisher besprochen wurden. Als einfaches Rechenwerk, das Rechenoperationen auszuführen vermag, wählen wir einen 4-Bit Ripple-Carry-Adder (4-Bit Addierer). Anhand einer einfachen Aufgabe, nämlich der Addition von zwei Zahlen, führt die Lösung zur Entwicklung und Veranschaulichung des Leitwerks und anderer Grundfunktionen des Prozessors.

6.6.1 4-Bit Paralleladdierer

Ein 4-Bit Ripple-Carry-Adder ist ein Paralleladdierer, ein Schaltnetz, das zwei 4-Bit Zahlen zu Summe und Übertrag verknüpft.

Unsere Aufgabenstellung, Addition von zwei Zahlen, kann in der einfachsten Form gelöst werden, wenn wir die Zahlen \mathbf{A} und \mathbf{B} (A_3, A_2, A_1, A_0 und B_3, B_2, B_1, B_0) per Hand mit Schaltern eingeben und das Ergebnis (C_u, S_3, S_2, S_1, S_0) durch Lampen angezeigt wird. Zur Lösung der Aufgabe benutzen wir den 4-Bit Addierer als Rechenwerk, die Steuerung geschieht per Hand.

Im ersten Schritt zum Leitwerk fügen wir Register ein, die die Summanden \mathbf{A} und \mathbf{B} und die Summe Σ speichern sollen. Die Bereitstellung der Summanden \mathbf{A} und \mathbf{B} an die Register soll noch per Hand erfolgen. Die Übernahme der Summanden in die Register geschieht durch ein Taktsignal. Weil mit

diesem Taktsignal verschiedene Funktionen gesteuert werden sollen, wird es durch ein UND-Glied mit einem Steuersignal verknüpft. Die Übernahme der Summanden ist daher von den Steuersignalen abhängig.

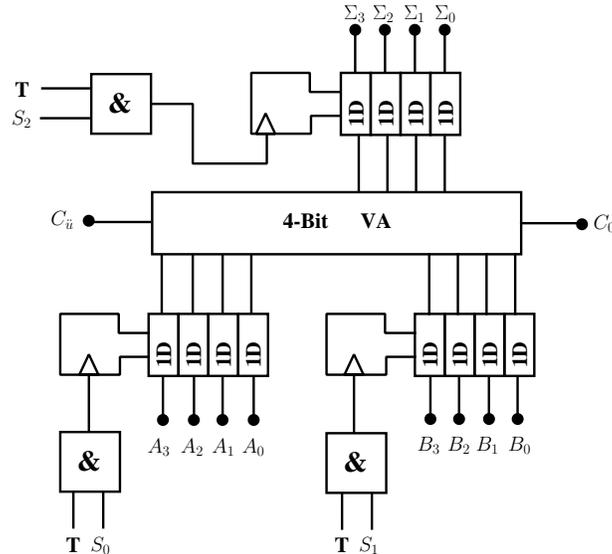


Abb. 6.19. 4-Bit VA mit Registern

Summand **A** kann z.B. mit Takt 1 in das A-Register übernommen werden, Summand **B** mit Takt 2, die Summe am Ausgang des VA wird abhängig von der Signallaufzeit im VA mit Takt 3 oder einem späteren Takt in das Summenregister geschrieben (Abb. 6.19). In Abb. 6.20 ist die Funktion der Register aus Abb. 6.19 in vereinfachter Form dargestellt. Das Normschaltbild eines Register ist durch ein doppelt umrandetes Kästchen dargestellt, die Komponenten der Summanden und der Summe sind durch das Vektorzeichen dargestellt. Weil die Steuersignale den Zeitpunkt für das Wirksamwerden des Taktsignals festlegen, sind in der Abbildung nur die Steuersignale eingezeichnet, die Funktion des Taktsignals bleibt aber erhalten.

In einem zweiten Schritt wird das Leitwerk erweitert. Im Abschnitt *Arithmetisch-Logische-Einheit (ALU)* wurde gezeigt, dass die Subtraktion auf die Addition zurückgeführt werden kann, wenn der Subtrahend durch das Zweierkomplement dargestellt wird. Abb. 6.21 zeigt, wie durch ein Steuersignal **B** oder \overline{B} dargestellt wird. Wird dieses Steuersignal gleichzeitig als Eingangsübertrag am 4-Bit VA angelegt, dann wird damit das Zweierkomplement von **B** gebildet, und **B** kann auch subtrahiert werden.

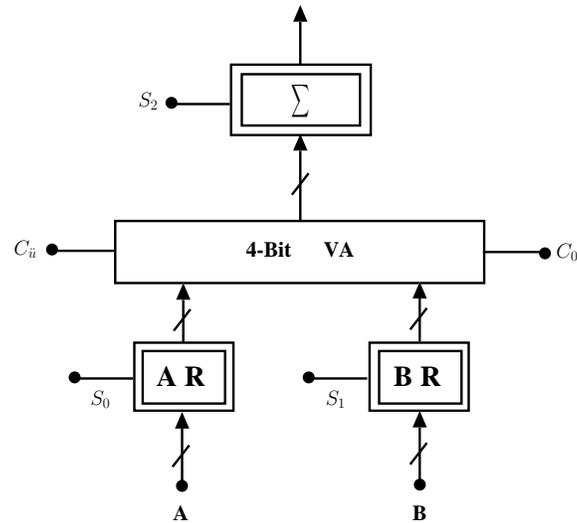


Abb. 6.20. 4-Bit VA mit Registern, vereinfachte Darstellung

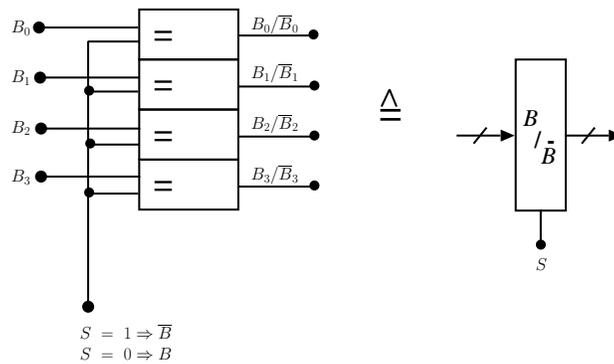


Abb. 6.21. Schaltnetz zur Darstellung von B oder \bar{B}

Wenn das Ergebnis aus dem VA in das Summenregister eingeschrieben wird, dann wird der Inhalt des A-Registers nicht mehr gebraucht, der Inhalt kann überschrieben werden. Das Ergebnis aus dem VA kann deshalb in das A-Register geschrieben werden. Das Ergebnis wird im A-Register gesammelt; daher der Name *Akkumulator-Register*. Das Summenregister kann wegfallen. Soll aber weiterhin der Summand A zuerst in dieses Register geschrieben werden und Takte später das Ergebnis, dann müssen diese zwei Eingänge über einen Multiplexer entkoppelt werden. Dazu ist ein weiterer Steuereingang erforderlich. Mit der Schaltung nach Abb. 6.22 kann $A + B$ und $A - B$ berechnet werden. Das A-Register hat die Funktion des Summenregisters

übernommen und ist zum *Akkumulator-Register* geworden. Für die Lösung einer Addition oder Subtraktion nach Abb. 6.22 sind fünf Steuersignale erforderlich.

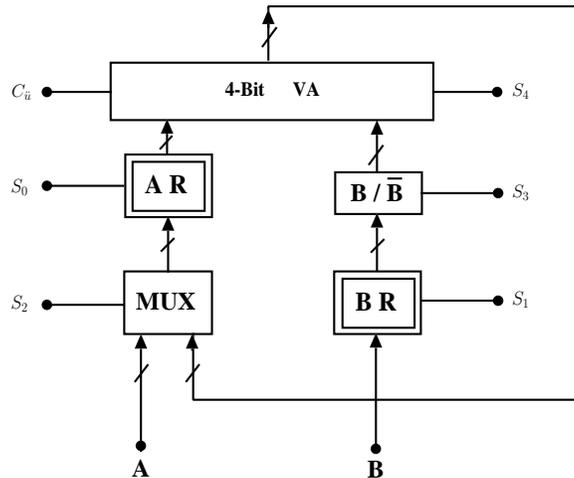


Abb. 6.22. Addier/Subtrahier-Rechenwerk mit Akkumulator-Register

Die Aufgabe $(a + b) - c$ erfordert zur Lösung eine Folge von Steuereingaben, wie sie in Tabelle 6.7 angegeben sind. Werden Takt und Steuersignale nicht per Hand mit Taster eingegeben, dann eignet sich ein programmierbares Schaltwerk.

Abbildung 6.23 zeigt dieses programmierbare Schaltwerk, das die erforderlichen Steuersignale liefert, und deswegen als *Steuerwerk* oder *Leitwerk* bezeichnet wird.

6.6.2 Zusammenwirken von Rechenwerk und Steuerwerk = Prozessor

Die Schaltwerke nach Abb. 6.22 und Abb. 6.23 lösen je eine Teilaufgabe von der Gesamtaufgabe Addition/Subtraktion von zwei Zahlen. Das Rechenwerk nach Abb. 6.22 verknüpft die Inhalte der Register AR und BR. Das Leitwerk oder Steuerwerk nach Abb. 6.23 liefert die Signale S_0, S_1 zum Einschreiben der Summanden A und B in die genannten Register, das Signal S_3 zur Invertierung von B und das Signal S_2 zum Schreiben des Ergebnisses nach AR. Die Bereitstellung der Summanden A und B geschieht mit Schaltern per Hand. Übertragen wir die Bereitstellung der Summanden und alle Schritte zur

7.1.1 Entwurfsebenen

Der Entwurf und die Beschreibung komplexer integrierter Schaltungen wird durch eine hierarchische Strukturierung übersichtlich. Dabei besteht die hierarchische Struktur in einer zunehmenden Integration und Abstraktion von der Bauelementeebene bis zur Systemebene. Jede höhere Ebene ist immer eine Abstraktion und Integration der nächst tieferen Ebene. Der Entwurfsprozeß auf einer Ebene muss gewährleisten, dass bei einer *top down* Betrachtung die Vorgaben der vorangegangenen, bereits entworfenen Ebene erfüllt bleiben, bei einer *bottom up* Betrachtung muss sich die höhere Ebene aus der tieferen ergeben. In Abb. 7.1 sind die Ebenen für einen typischen IC-Entwurf dargestellt.

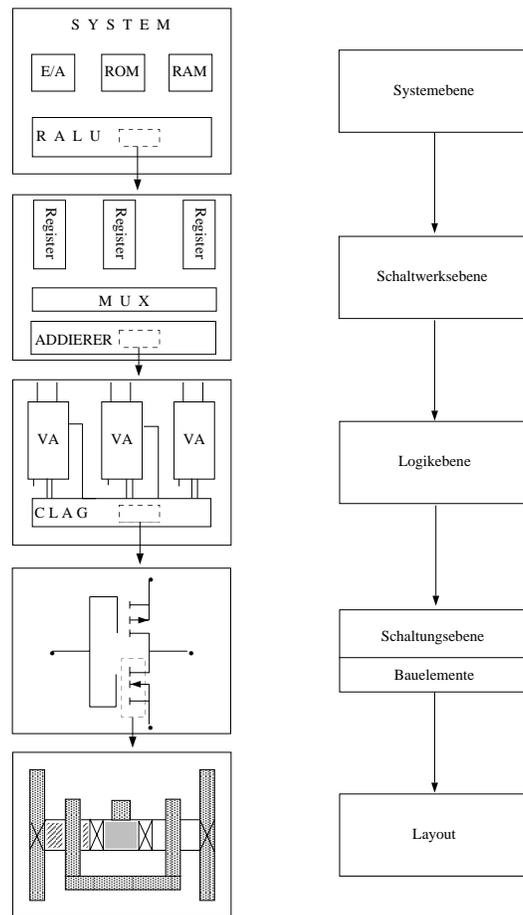


Abb. 7.1. Ablauf eines IC-Entwurfes: Entwurfsebenen

Systemebene. Auf dieser Ebene wird die Aufgabenstellung der integrierten Schaltung beschrieben. Welche Funktionseinheiten sollen entworfen werden: Verknüpfungsglieder, Schaltnetze, Datenspeicher, E-/A-Einheiten, Controller u.a. Handelt es sich um komplexe Systeme wie Prozessoren, dann wird das Gesamtsystem in Komponenten und Teilkomponenten aufgeteilt. Die Komponenten werden untereinander durch Datenpfade (interne Bussysteme) verbunden. Das Verhalten des Systems bzw. der Komponenten wird durch Algorithmen beschrieben.

Registerebene. Auf dieser Ebene sind Schaltwerke wie Register, Zähler, ALUs, Multiplexer, Codierer sowie Verbindungselemente die elementaren Funktionseinheiten. Das Verhalten der Funktionselemente auf dieser Ebene wird durch diskrete Funktionen (Übergangsfunktionen) beschrieben. Die Speicherelemente enthalten zu jedem Zeitpunkt Werte, denen eine Bedeutung zugeordnet wird. Im zeitlichen Ablauf werden diese Werte über Verknüpfungsglieder (Schaltnetze) *transferiert* und wieder in Registern abgespeichert. Deshalb wird diese Ebene auch *Register-Transfer-Ebene* genannt. Modellmäßig kann diese Ebene mit synchronen Automaten beschrieben werden.

Logikebene. Verknüpfungsglieder wie NAND, NOR, NOT, Addierglieder, Speicherglieder (D-Flipflops) und Verbindungsleitungen sind die Grundelemente auf dieser Ebene. Das Verhalten dieser Funktionselemente wird durch Boolesche Gleichungen beschrieben. Es wird das logische Verhalten und das dynamische (zeitliche) Verhalten der Schaltung berechnet. In der Beschreibung der Struktur werden Zahl und Art der Glieder in Netzlisten dokumentiert.

Schaltungsebene oder Bauelementebene. Die Elemente dieser Ebene sind aktive und passive Bauelemente²: Transistoren, Dioden, Widerstände, Kondensatoren und Verbindungsleitungen. Es wird festgelegt, in welcher Basistechnik (Schaltkreisfamilie) die Bauelemente realisiert werden sollen. Das Verhalten der Bauelemente, insbesondere Transistoren, wird in mathematischen Modellen mit Differentialgleichungen beschrieben. Die geometrische Beschreibung der Bauelemente ist das Layout. Die Bauelemente bilden die Konstruktionsgrundlage für das Layout des Schaltkreises.

Layoutebene. Das Layout ist die Umsetzung der Bauelemente und Verbindungsleitungen in geometrische Figuren und ihre relative Lage zueinander. Durch das Layout wird ein elektrisches Netzwerk (Schaltung) in geometrische Strukturen geordnet, d.h. zu *Schichten* (layers) umgesetzt. Das

² Aktive elektrische Bauelemente verstärken oder liefern Ströme und Spannungen (z.B. Transistoren, elektrochemische Elemente). Passive Bauelemente verbrauchen elektrische Energie (z.B. Widerstände, Kondensatoren, Spulen)

Layout schließt den Schaltungsentwurf ab und bildet den Übergang zur IC-Herstellung. Die Layoutdaten dienen als Vorlage für die Herstellung der Masken. Die Anzahl der Masken für die Herstellung einer integrierten Schaltung ist von der Basistechnik abhängig und liegt zwischen 10 und 20.

Zum Layout zählt nicht nur die geometrische Strukturierung der Bauelemente sondern auch die globale Flächenplanung (*floor planing*) des gesamten Systems. Man spricht deshalb vom *Grob-* und *Feinentwurf* des Layouts. Der Grobentwurf umfaßt die Zerlegung (Partitionierung) des Systems in Komponenten und Teilkomponenten und deren Anordnung auf dem Chip (Positionierung). Zum Feinentwurf gehört der topologische Entwurf (Plazierung) und die geometrische Strukturierung der Bauelemente und deren Verdrahtung unter Beachtung der Entwurfsregeln (design rules). Diese Regeln geben Mindestabstände und – Abmessungen an, die die geometrischen Strukturen der Bauelemente haben müssen, damit die integrierte Schaltung elektrisch sicher arbeitet. Eine typische Designregel ist z.B.: die minimale Breite einer Aluminium-Bahn beträgt $2,0\ \mu\text{m}$, der Abstand zwischen zwei Aluminium-Bahnen darf nicht kleiner als $2,0\ \mu\text{m}$ sein.

7.1.2 Darstellung

Die Beschreibungsmöglichkeiten einer integrierten Schaltung sind im Gajsky-Kuhn Y-Diagramm (Abb. 7.2) dargestellt, es sind:

Strukturdarstellung. Die Struktur einer integrierten Schaltung besteht in der Aufteilung des Systems in Einzelkomponenten. Jede Komponente übernimmt im System eine bestimmte Funktion (z.B. Speicher, ALU, E/A) und wird in der Darstellung als solche gekennzeichnet. Die Komponenten hängen eng mit der Ebene der Schaltungsbeschreibung zusammen. Auf jeder Ebene wird angegeben, welche Einzelkomponenten verwendet werden und wie diese miteinander verschaltet sind. Die strukturelle Darstellung kann graphisch durch Blockdiagramme und Schaltzeichen und *sprachlich* durch Definition, Zahl und Art der Funktionseinheiten (Netzlisten) erfolgen.

Verhaltensdarstellung. In der Verhaltensdarstellung wird beschrieben, ob das System und die Einzelkomponenten die Zielvorgabe erfüllen. Die Anforderungen können unter verschiedenen Aspekten betrachtet werden: funktionell, dynamisch (Zeitverhalten) und elektrisch. Dementsprechend gibt es unterschiedliche Beschreibungsformen: Programmiersprachen, Zustands- und Folgezustandstabellen, Funktionsgleichungen und Boolesche Gleichungen.

Geometriedarstellung. Die Geometrie oder das Layout beschreibt die Plazierung der Systemkomponenten auf dem Chip. Abhängig von der Entwurfsebene verstehen wir darunter die Flächenzuweisung für die Komponenten (*floorplan*) bis zu den Gatebereichen, Drain-Source-Gebieten und Kontaktfenster der Transistoren.

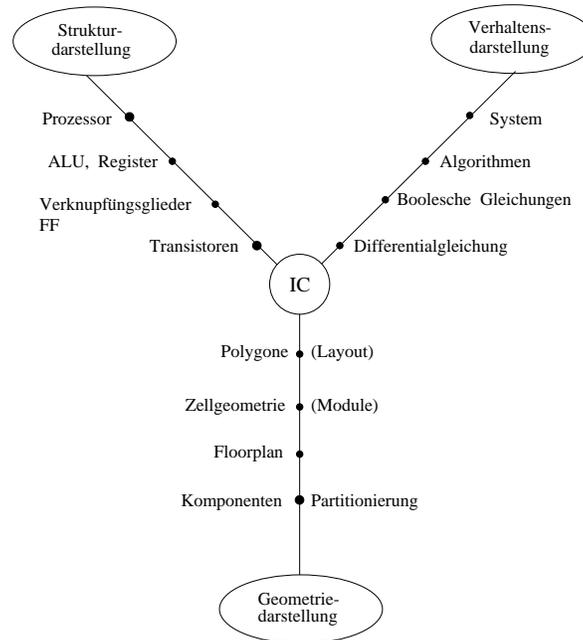


Abb. 7.2. Gajsky–Kuhn Y–Diagramm

7.1.3 Werkzeuge und Entwurfsschritte

So wie die integrierten Schaltungen selbst, unterliegen auch die Methoden und Werkzeuge für den Entwurf einer ständigen Entwicklung. Am Anfang dieser Entwicklung waren Zeichengeräte und Millimeterpapier die einzigen Werkzeuge, daher der Name *Handentwurf*. Heute sind Computer die wichtigsten Hilfsmittel. Man spricht deshalb von *rechnerunterstütztem Schaltungsentwurf*. Als Werkzeuge dienen CAE/CAD-Systeme (Computer–Aided–Engineering / Computer–Aided–Design). Die Bezeichnung CAE/CAD bedeutet dabei, dass Ingenieur Tätigkeiten – z.B. Entwerfen und Berechnen einer Schaltung – und die Tätigkeiten des technischen Zeichners mit Hilfe von Rechenanlagen ausgeführt werden. Auf jeder Entwurfsebene werden spezifische CAE/CAD-Systeme eingesetzt. Alle Systeme haben folgende Grundbestandteile:

- Menügeführte Benutzung
- Graphische Ein-/Ausgabe
- Manipulation der Bildelemente (plazieren, bewegen, mit Leitungen verbinden, aufteilen und zusammensetzen u.a.)
- Symbolbibliothek

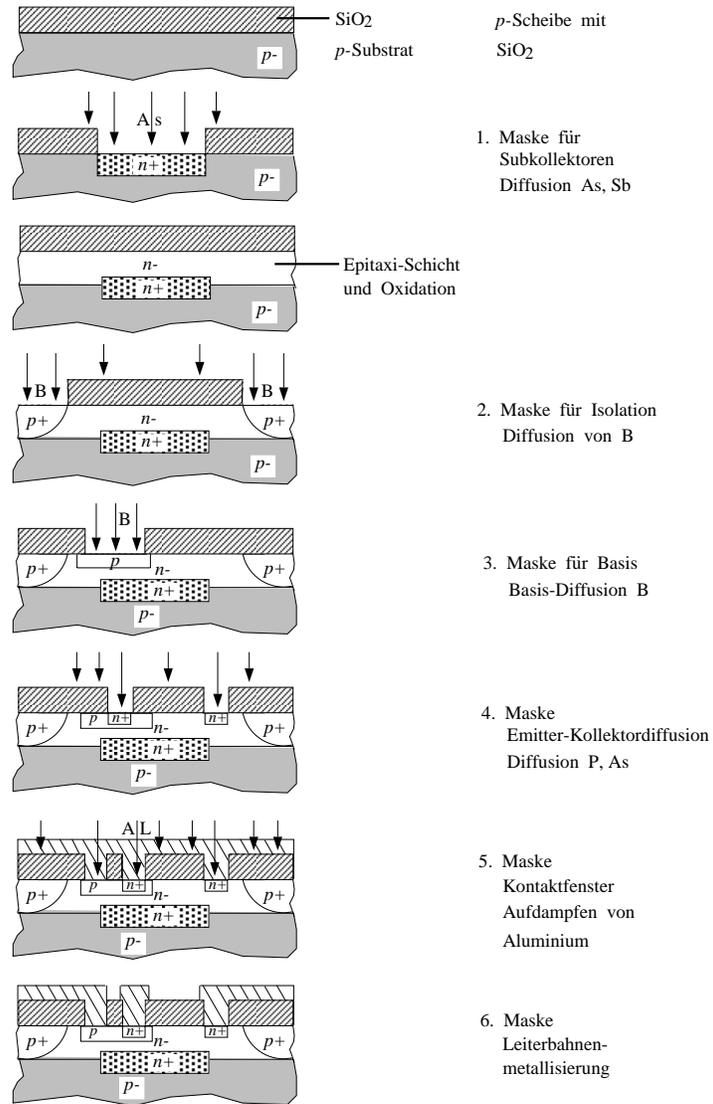
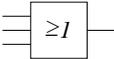
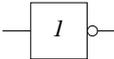
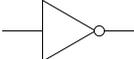
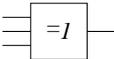
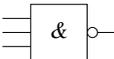
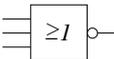


Abb. 7.13. Prozessschritte zur Herstellung eines NPN-Transistors

Schaltzeichen für binäre Verknüpfungsglieder

DIN 40700 (ab 1976)	Schaltzeichen		Benennung
	Früher	in USA	
			UND - Glied (AND)
			ODER - Glied (OR)
			NICHT - Glied (NOT)
			Exklusiv-Oder - Glied (Exclusive-OR, XOR)
			Äquivalenz - Glied (Logic identity)
			UND - Glied mit negier- tem Ausgang (NAND)
			ODER - Glied mit negier- tem Ausgang (NOR)
			Negation eines Eingangs
			Negation eines Ausgangs

Sachverzeichnis

A

Addierglieder 187
Adressdecodierer 274
Adressdecodierer 186
Äquipotentialfläche 15
Äthertheorie 7
Akkumulator 280
Akzeptoratom 93
ALU 204, 277
Ampere 17, 35
Amperemeter 19, 30
Arbeitspunkt 20
ASICs 297
Ausgangsfunktion 258
Automat 256
– autonomer 259
– Moore 258
Avalanche-Effekt 95

B

Bändermodell 86
Basistechnik 292, 315
BCD-Code 181
Befehlsregister 286
Besetzungsinversion 110
Bipolartechnik 315
Bonden 322
Boolesche Algebra 154
Bus 283

C

CAD 294
CAE 294
Carry-Look-Ahead Adder 192
CLAG 195

CMOS 147
Code-Umsetzer 181
Coulomb 5
Coulombsche Gesetz 6
Curietemperatur 55

D

Dämpfung 70
Datenübertragung 69
Defektelektron 91
Delay-Modell 296
Demultiplexer 200
Dezibel 83
Differenzverstärker 145
Diffusion 314
Diffusionsstrom 94
Diffusionsspannung 95
Dispersion 81
Donatoratom 92
Dotieren 92
DRAM 229
Durchflutungsgesetz 37
Durchlaßrichtung 95

E

Ebene
– Entwurfs 291
– Layout 292
– Logik 292
– Register 292
– Schaltungs 292
– System 292
Effektivwert 61
Eigenleitfähigkeit 91
Elektronenstrahlolithographie 312

Elektroskop 4
 Elementarladung 4
 Emission 108
 EPROM 216

F

Fan-out 139
 Faradaysches Gesetz 46
 Feld
 – elektrische 7
 – elektrisches 7
 – magnetisches 34
 Feldeffekttransistor 119
 Feldkonstante 7
 – elektrische 7
 – magnetische 40
 Feldlinien 8, 34
 – elektrische 8
 – magnetische 45
 Feldstaerke
 – elektrische 7
 Feldstärke 34
 – elektrische 11
 – magnetische 36
 Festwertspeicher 274
 FET
 – Sperrschicht 119
 Flipflop 225
 – Master-Slave 240
 – D 238
 – JK-Master-Slave 244
 – RS 230
 – T 246
 – Zweispeicher 240
 Floating-Gate 216
 Fluss 45
 – elektrische 9
 – magnetischer 45
 Flussdichte 3
 – elektrische 10, 11
 – magnetische 39, 45
 Folgezustandsvektor 257
 Formfaktor 62
 Fotoelement 106
 Frequenzsprungmodulation 69

Funktionsgleichung 162
 Funktionstabelle 161
 – unvollständige 161
 – vollständige 161

G

Gate Array 306
 Gegentaktendstufe 137
 Geometriedarstellung 293
 Gleichrichtwert 60
 Gleichstrom 17, 58
 Gleichstromwiderstand 20
 Gray-Code 185
 Grundverknüpfung 158

H

Halbaddierer 188
 Halbleiter 85
 Halleffekt 42
 Hallspannung 43
 Haltezeit 250
 Handentwurf 294
 Hazard 219, 258
 Henry 48
 Heteroübergang 107
 Homoübergang 107
 Hubdiode 137, 139
 Hybridschaltung 289
 Hystereseurve 51

I

Individualisierbarkeit 297
 Induktion
 – magnetische 34, 39
 Induktionskonstante 40
 Induktivität 48, 66
 Influenz 5, 119
 Influenzkonstante 7
 Innenwiderstand 30, 32
 innerer Zustand 255
 Integrationsgrad 317
 Inversbetrieb 114, 137
 Inversionsladung 121
 Ionenimplantation 315
 Ionenstrahlolithographie 313

J

JEDEC 303

K

Kapazität 14, 63

Karnaugh–Veitch 167

Kenngrößen 130

Kennlinie 27, 97

Kennlinienfeld 20

Kernimplikant 175

Kerr–Effekt 56

Kippglied 225

Kippschaltung 225

Klemmenspannung 18, 33

Knoten 22

Knotenregel 23, 26

Koaxialkabel 70, 79

Koerzitivfeldstärke 51

Komparator 196

kondensator 14

Kristallstruktur 89

KV–Diagramm 167

L

Laserdiode 108

Laserdioden 106

Layout 292, 293

Leitungen

– lange 70, 73

Leitungsband 88

Leitwerk 281

Leitwert 19

Lenzsche Regel 46

Leuchtdioden 106

Lichtgeschwindigkeit 76

Lichtwellenleiter 70, 80

Lithographie 310

LOG/iC 295

M

Magnetorotation 56

Majoritätsträger 92

Makrobefehl 276

Masche 22

Maschenregel 24

Masken 310

Master–Slave

– Prinzip 240

Maxterm 164

Maxwell Gleichung 37, 46, 72

Mikrobefehl 276

Mikroprogrammierung 276

Minimierung 169

Minoritätsträger 92

Minterm 163

Mittelwert

– linearer 60

Modem 69

Modem 81

Monomode 82

Montage 322

MOS–Technik 317

Multi–Emitter 137

Multimodefaser 81

Multiplexer 198, 272

N

n–dotiert 92

n–Halbleiter 92

Netzliste 295

NMOS 147

Normalbetrieb 112, 137

Normalform

– disjunktive 163

– konjunktive 163

O

Ohm 20

Ohmsches Gesetz 19, 25

Operand 284

P

p–dotiert 93

p–Halbleiter 93

PAL 218

Paralleladdierer 189

Parallelschaltung 25

Pegel 131

Pellicle 311

Permeabilität

- relative 40
- Personalisierbarkeit 297
- Photoeffekt 103
- Photolithographie 312
- PLA 218
- Planartechnik 289
- PLD 298
- PMOS 147
- pn-Übergang 93
- Polarisierung 57
- Potential 21, 24
 - differenz 24
- Potentialdifferenz 13
- Potentiometer 28
- Primimplikant 174
- Produktterm 211
- Programmzähler 286
- PROM 214

- Q**
- Quine-McCluskey 172

- R**
- Races 222
- RAM 227
 - dynamisch 229
 - statisch 227
- Raumladung 94, 98
- Reflexionsfaktor 78
- Refreshzyklus 230
- Register 268
- Reihenschaltung 26
- Remanenz 51
- Repeater 84
- Reticle 311
- Ripple Carry Adder 191
- Röntgenlithographie 313
- ROM 213
- Rückkopplung 226, 257

- S**
- scan-path 321
- Schaltalgebra 154, 156
- Schalter
 - Bipolartransistor als 127
 - idealer 126
 - realer 126
 - Unipolartransistor als 129
- Schaltfunktion 157
- Schaltkreise 136
 - CMOS 149
 - ECL 145
 - MOS 146
 - NMOS 148
 - PMOS 147
 - TTL 136
- Schaltkreisfamilie 273
- Schaltnetz 153, 255
- Schaltung
 - integrierte 289
- Schaltungsentwurf 290
- Schaltvariable 157
- Schaltvorgänge 62
- Schaltwerk 255
- Schaltzeichen 168
- Scheitelwert 59
- Schichtschaltung 289
- Schieberegister 268
- Schmitt-Trigger 143
- Schottky-Dioden 98
- Schwellspannung 97
- Selbstinduktion 47
- Serienaddierer 189
- Setzzeit 250
- Siemens 19
- Signal 68
- Signaldurchlaufzeit 135
- Signallaufzeit 134, 219
- Signalparameter 68
- Signalpegel 130
- Signalübergangszeit 133
- Silicon-Assembler 295
- Silicon-Compiler 295
- Simulation 296
- Spannung 35
- Spannungsfehlerschaltung 31
- Speicherglieder 225, 255
- Speichermedien 54
 - ferromagnetische 52

- magneto-optische 54
- Sperrichtung 95
- Sperrschicht 94
- SPICE 296
- Standard-IC 297
- Standardzellen IC 307
- Störabstand 132
- Störspannung 130
- Stromfehlerschaltung 31
- Stromkreis 18
- Stromrichtung
 - technische 18
- Stromstärke 17, 19
- Strukturdarstellung 293
- Stuck-at-Fehler 320

T

- Taktflankensteuerung 247, 248
- Termschema 87
- Tesla 39
- Tester 321
- Testmuster 321
- Totalreflexion 80, 81
- Transferkennlinie 122
- Transferstrom 112
- Transistoreffekt 112
- Transmissiongate 151
- Tri-State 141
- TTL 136
 - High-speed 140
 - Low-power 140
 - mit offenem Kollektor 141
 - Schottky-TTL 140
 - Standard 136

U

- Übergangsfunktion 236, 258
- Übersprechen 79
- Übertragungskennlinie 138
- Unipolartransistor 119

V

- Valenzband 88
- Vektorfunktion 175
- Verhaltensdarstellung 293
- Verknüpfungsglieder 125
- Vollladdierer 188
- Vollkunden IC 307
- Voltmeter 19
- Vorbereitungszeit 250

W

- Wafer 310
- Waferprober 320
- Watt 22
- Wattsekunde 21
- Wechselstrom 58
- Welle
 - stehende 73
- Wellengleichung 75
- Wellenlänge 73
- Wellenwiderstand 70, 77
- Werkzeuge 294
- Widerstand 19
 - differentieller 21
 - linearer 20
 - nichtlinearer 20
 - spezifischer 21
- Wirkzeit 250

Z

- Zählpfeile 18
- Zeitkonstante 65
- Zeitwert 59
- Zener-Effekt 95
- Zonenziehen 310
- Zustandsfolgetabelle 260, 261, 269
- Zustandsgraph 260, 261
- Zustandssteuerung 236
- Zweierkomplement 204